

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ОДЕСЬКИЙ ДЕРЖАВНИЙ ЕКОЛОГІЧНИЙ УНІВЕРСИТЕТ

В. І. ВЕЛИКИЙ
Б. В. ПЕРЕЛИГІН

**ПРОЕКТУВАННЯ АВТОМАТИЗОВАНИХ СИСТЕМ
МОНІТОРИНГУ НАВКОЛИШНЬОГО СЕРЕДОВИЩА**

Конспект лекцій

Одеса
Одеський державний екологічний університет
2015

ББК 30.15
УДК 551.501.8
В 27

Рекомендовано методичною радою Одеського державного екологічного університету Міністерства освіти і науки України як конспект лекцій (протокол № 7 від 30. 04. 2015 р.)

Великий В. І., Перелигін Б. В.

Проектування автоматизованих систем моніторингу навколишнього середовища: конспект лекцій. Одеса, ОДЕКУ, 2015. 170 с.

В конспекті лекцій розглянуті питання теорії та практики проектування автоматизованих систем моніторингу навколишнього середовища; представлена узагальнена структура інформаційно-вимірювальної системи як складової частини автоматизованої системи; наводяться принципи побудови підсистем введення-виведення аналогових та дискретних сигналів; викладено основи теорії операційних підсилювачів і проектування на їх базі пристроїв системи; показані принципи роботи, вибору, побудови та проектування вимірювальних комутаторів, інтегральних аналого-цифрових та цифро-аналогових перетворювачів; розглядаються алгоритми збору й обробки даних, перешкодозахищені способи передачі інформації, питання проектування температурних датчиків; представлений огляд стандартних інтерфейсів інформаційних систем, в тому числі новітніх інтерфейсів мікроконтролерів. Також приділено увагу розгляду питань використання сучасних мікропроцесорних систем при проектуванні автоматизованих систем моніторингу навколишнього середовища.

Даний конспект лекцій призначений для студентів і магістрів гідрометеорологічного та комп'ютерного профілю.

ISBN 978-966-186-004-8

Зміст

	стор.
Вступ	6
1 Терміни та визначення	9
2 Узагальнена структурна схема інформаційно - вимірjuвальної системи як складової частини АСМНС	23
2.1 Структура ІВС та її призначення.....	23
2.2 Загальна класифікація ІВС.....	27
2.3 Класифікація ІВС за функціональним призначенням.....	30
3 Структура, функціонування і склад автоматизованої інформаційної системи моніторингу навколишнього середовища	32
3.1 Структура ПЗО. Підсистема аналогового вводу.....	32
3.2 Підсистема аналогового виводу.....	40
3.3 Підсистема цифрового (дискретного) вводу-виводу.....	43
4 Проектування аналогових блоків і вузлів АСМНС на базі операційних підсилювачів	46
4.1 Параметри операційного підсилювача.....	48
4.2 Операційний підсилювач з інвертуючим входом.....	52
4.3 Операційний підсилювач з неінвертуючим входом.....	53
4.4 Операційний підсилювач в якості суматора аналогових сигналів.....	55
4.5 Операційний підсилювач в якості інтегратора.....	57
4.6 Диференційний операційний підсилювач.....	60
5 Принципи проектування та побудови інтегральних цифро- аналогових і аналого-цифрових перетворювачів	62
5.1 Цифро-аналогові перетворювачі.....	63
5.1.1 Принципи цифро-аналогового перетворення.....	63
5.1.2 Терміни та визначення.....	67
5.1.3 Резистивні сходові ланцюги.....	69
5.1.4 Аналіз похибок.....	70
5.2 Аналого-цифрові перетворювачі.....	75
5.2.1 Принципи побудови АЦП.....	75
5.2.2 Основні параметри АЦП.....	78
6 Проектування вимірjuвальних комутаторів амплітудно- модульованих сигналів	81
6.1 Основні типи комутаторів і їхні характеристики.....	81
6.2 Комутаційні елементи.....	82

6.3	Приклади проектування комутаторів напруг з заданою похибкою передачі сигналу.....	85
7	Використання стандартних інтерфейсів та ліній зв'язку при проектуванні АСМНС.....	89
7.1	Магістралі інтерфейсів.....	89
7.2	Класифікація інтерфейсів.....	91
7.3	Загальна характеристика послідовних інтерфейсів.....	95
7.4	Характеристика і функціонування інтерфейсу RS-232C.....	95
7.5	Загальна інформація про інтерфейси RS-422, RS-423 та RS-449.....	99
7.6	Промисловий стандарт RS-485.....	99
7.7	Інтерфейси периферійної частини комп'ютера, що використовуються у інформаційно-вимірювальних системах.....	101
7.8	Характеристика універсального інтерфейсу SCSI.....	102
7.9	Характеристика спеціалізованого інтерфейсу USB.....	103
7.10	Лінії зв'язку.....	104
7.11	Складання балансу похибок в інформаційно-вимірювальній системі.....	108
7.12	Стандартні інтерфейси мікро контролерів.....	111
7.12.1	Інтерфейс IEEE 1451.2.....	112
7.12.2	Послідовний периферійний інтерфейс струмова петля 4-20 мА.....	113
7.12.3	Інтерфейс Fieldbus.....	114
8	Забезпечення завадостійкої передачі інформації при проектуванні АСМНС.....	116
8.1	Апаратні способи перешкодозахищеної передачі даних.....	116
8.2	Кодування корисної інформації.....	119
9	Алгоритми збору та обробки даних в АСМНС.....	123
9.1	Циклічне та адресне опитування датчиків.....	123
9.2	Визначення істинних значень вимірюваних величин за показниками датчиків.....	126
9.3	Виявлення виходу контрольованого параметра за припустимі межі.....	129
9.4	Виявлення несправностей у складній системі взаємозалежних елементів і пристроїв.....	132
10	Проектування температурних датчиків.....	134
10.1	Короткі відомості про температурні датчики.....	134
10.2	Терморезистори.....	134
10.3	Операція масштабування та схема масштабуючого підсилювача.....	137

10.4	Вивід формул посилення та зсуву сигналу датчика.....	139
10.5	Розрахунок параметрів елементів масштабуючого підсилювача.....	140
10.6	Складання таблиці залежності сигналу датчика від вимірюваного параметру.....	141
11	Використання сучасних мікропроцесорних систем при проектуванні АСМНС.....	144
11.1	Особливості архітектури мікроконтролерів сімейства MCS-51.....	144
11.2	Сімейство мікроконтролерів AVR корпорації ATMEL.....	149
11.3	Огляд Mega і Tiny AVR-мікроконтролерів. Система команд.....	155
11.4	Опис системи команд і програмна модель AVR-мікроконтролерів фірми ATMEL.....	161
	Література.....	169

Вступ

Предмет і задачі дисципліни „Проектування автоматизованих систем моніторингу навколишнього середовища”. Інформація про стан навколишнього середовища, про його зміни широко використовується людством для планування своєї діяльності.

У зв'язку з загальним погіршенням світової екологічної обстановки поширюється коло спостережень, кількість параметрів, що вимірюються, мережа пунктів спостережень, впроваджуються нові технології і засоби спостережень.

Сучасні метеорологічні, фенологічні, сейсмологічні та інші види спостережень і вимірювань об'єднують в загальну систему моніторингу навколишнього середовища, основу якої складають спеціальні АСМНС.

Якісне проектування АСМНС на основі новітніх інформаційних і телекомунікаційних технологій є запорукою здійснення ефективного моніторингу навколишнього середовища для забезпечення природозберігаючої діяльності людства.

З метою реалізації таких можливостей в конспекті лекцій розглянуті питання теорії та практики проектування автоматизованих систем моніторингу навколишнього середовища. Ці питання є достатньо універсальними, вони включають широке коло проблем, без вирішення яких неможливо реалізувати сучасну технічну електронну систему автоматизованого моніторингу.

Інформація про стан навколишнього середовища здобувається наземними гідрометеорологічними станціями і пунктами (в тому числі і радіолокаційне зондування), спеціальними суднами „погоди”, метеокулями, метеорологічними ракетами, з допомогою супутникового та літакового зондування.

Теорія і практика цих вимірювань відомі студентам з дисциплін „Геофізика”, „Фізика атмосфери”, „Методи гідрометеорологічних вимірювань”, „Методи дистанційного зондування навколишнього середовища” та інших.

Усі перелічені станції розглядаються у дисципліні „Проектування АСМНС” як джерела інформації, дані з яких проходять попередню обробку, а потім з допомогою різноманітних каналів зв'язку поступають на автоматизовану систему моніторингу.

В залежності від типу станції і сигналу інформація надходить до датчика або безпосередньо до пристрою зв'язку з об'єктом. Далі інформація обробляється і видається споживачеві в належному форматі.

Таким чином, у курсі «Проектування АСМНС» розглядаються питання проектування ланцюга пристроїв від датчиків до кінцевої периферії, який дозволяє в автоматизованому режимі одержувати інформацію про стан навколишнього середовища.

У зв'язку з вищесказаним, в конспекті лекцій з дисципліни «Проектування АСМНС» представлена узагальнена структура інформаційно-вимірювальної системи як складової частини автоматизованої системи; наводяться принципи побудови підсистем введення-виведення аналогових та дискретних сигналів; викладені основи теорії операційних підсилювачів і проектування на їх базі пристроїв системи.

Показані також принципи роботи, вибору, побудови, проектування вимірювальних комутаторів та інтегральних аналого-цифрових та цифро-аналогових перетворювачів.

Розглядаються алгоритми збору й обробки даних, перешкодозахисні способи передачі інформації, питання проектування температурних датчиків; представлений огляд стандартних інтерфейсів інформаційних систем, в тому числі новітніх інтерфейсів мікроконтролерів.

Також приділено увагу розгляду питань використання сучасних мікропроцесорних систем при проектуванні автоматизованих систем моніторингу навколишнього середовища.

Структура дисципліни, порядок її вивчення, практична значущість та зв'язок з іншими дисциплінами. Дисципліна „Проектування автоматизованих систем моніторингу навколишнього середовища” є вибірковою дисципліною підготовки магістрів за спеціальністю «Метеорологія», спеціалізацією «Технічні системи гідрометеорологічного моніторингу».

Мета дисципліни – підготовка фахівців з технічних систем гідрометеорологічного моніторингу в галузі системного моніторингу навколишнього середовища, придбання навичок інженерного проектування автоматизованих систем моніторингу навколишнього середовища.

Дисципліна „Проектування автоматизованих систем моніторингу навколишнього середовища” є дисципліною, що знайомить майбутніх фахівців з сучасними методами проектування автоматизованих систем моніторингу навколишнього середовища. Вона є основою для розробки сучасних автоматизованих систем спостережень за навколишнім середовищем.

У результаті вивчення дисципліни студенти повинні надбати:

Знання:

- методів проектування автоматизованих вимірювачів та аналізаторів параметрів навколишнього середовища;
- алгоритмів збору й обробки первісної інформації в АСМНС;
- алгоритмів розпізнавання або виявлення подій в АСМНС;
- апаратного забезпечення інформаційно-вимірювальних систем (ІВС) як складової частини АСМНС;
- структури ІВС паралельної та паралельно-послідовної дії та їх

- взаємодію з АСМНС;
- структури ІВС послідовної дії та її взаємодію із АСМНС;
 - принципів побудови перетворювачів різних типів для інформаційних сигналів;
 - мікроконтролерів ряду MCS-51 і AVR корпорації ATMEL;
 - інтерфейсів зв'язку для АСМНС.

Уміння:

- працювати з новою технічною літературою, присвяченою сучасним технологіям проектування АСМНС;
- проектувати архітектури підсистеми збирання аналогової вимірювальної інформації;
- вибирати необхідні інтерфейсні засоби;
- проектувати засоби комутації інформаційних аналогових сигналів;
- використовувати сучасні мікропроцесорні засоби при проектуванні АСМНС;
- самостійно освоювати нові апаратні та програмні комплекси для модернізації існуючих і розробки нових АСМНС у частині джерел збору інформації, використанні сучасних приладів і обладнання, при дистанційному зондуванні, організації баз даних, та ін.;
- використовувати належним чином отримані знання у практичній діяльності.

Дисципліна „Проектування АСМНС” базується на вивченні таких дисциплін, як: „Фізика”, „Вища математика”, „Геофізика”, „Фізика атмосфери”, „Методи гідрометеорологічних вимірювань”.

Основне вивчення дисципліни здійснюється на лекційних та практичних заняттях.

Закріплення навчального матеріалу здійснюється студентами самостійно відповідно до завдань на самостійну роботу студентів (СРС) і на практичних заняттях.

1 Терміни та визначення

Велика інтегральна схема (ВІС)– напівпровідникова інтегральна мікросхема, що містить 500 і більше елементів.

Інтерфейс – пристрій сполучення, що забезпечує інформаційну, електричну та конструктивну сумісності, а також взаємодію технічних засобів у складі системи.

Мікропроцесор (МП)– програмно-керований пристрій, що здійснює процес обробки цифрової інформації і керування їм, побудований на одній або декількох інтегральних мікросхемах. До складу мікропроцесора входять: арифметико-логічний пристрій (АЛП), що виконує арифметичні, логічні та інші операції; блок реєстрів, який реалізує внутрішню пам'ять МП; пристрій управління (ПУ), що виробляє керуючі і синхронізуючі сигнали і визначає алгоритм функціонування МП у відповідності з кодом команди, яка надійшла, та інтерфейс для зв'язку з зовнішніми пристроями.

Розрядність мікропроцесора – максимальне число двійкових розрядів в слові, яке обробляється в МП паралельно. Наприклад, 8-розрядний МП може обробляти паралельно слово з максимальною довжиною в один байт (8 біт). Обробка 16-розрядного слова здійснюється в цьому МП послідовно, з поділом слова на два байта, кожен з яких обробляється паралельно. Таким чином, розрядність МП істотно впливає на його продуктивність – число вироблених операцій в одиницю часу. Так, при обробці 16-розрядних слів продуктивність 16-розрядного МП в два рази вища, ніж 8-розрядного МП за умови, що обидва процесори мають однакову архітектуру, побудовані на одній і тій же елементній базі і працюють з однією і тією ж тактовою частотою .

Мікропроцесорна інтегральна мікросхема – інтегральна мікросхема, що виконує функцію мікропроцесора або його частини.

Мікропроцесорна секція – мікропроцесорна інтегральна мікросхема, що реалізує частину мікропроцесора і володіє засобами простого функціонального об'єднання з однотипними або іншими ІМС для побудови закінчених мікропроцесорів, мікроконтролерів або мікроЕОМ.

Секціонований мікропроцесор – мікропроцесор, виконаний на основі декількох (n) ідентичних мікропроцесорних секцій та інших мікропроцесорних інтегральних схем, об'єднаних спеціальними зв'язками або схемами. Число n мікропроцесорних секцій у складі секціонованого МП може змінюватися, завдяки чому можуть змінюватися (нарощуватися) його розрядність і функціональні можливості.

Однокристальний мікропроцесор (ОМП) – мікропроцесор, виконаний у вигляді однієї ВІС.

Запам'ятовуючий пристрій (ЗП) – пристрій, призначений для запису, зберігання та видачі інформації. Залежно від використаного фізичного принципу може бути побудований на феритах, напівпровідниках,

циліндричних магнітних доменах і т.п.

Оперативний запам'ятовуючий пристрій (ОЗП)– запам'ятовуючий пристрій, що забезпечує можливість оперативної зміни інформації, в тому числі під час виконання програми, і має тривалість циклу обігу, сумірну з тривалістю циклу виконання МП основних операцій. У разі відключення електроживлення інформація в ОЗП, як правило, не зберігається. При використанні аварійного живлення отримують енергонезалежний ОЗП.

Постійний запам'ятовуючий пристрій (ПЗП), або ROM, з масковим програмуванням – це пристрій, в якому інформація записана раз і назавжди при виготовленні напівпровідникових ВІС. При роботі інформація з ПЗП може тільки зчитуватися. ПЗП є енергонезалежним, тобто при відключенні електроживлення інформація, записана в ПЗП, не руйнується.

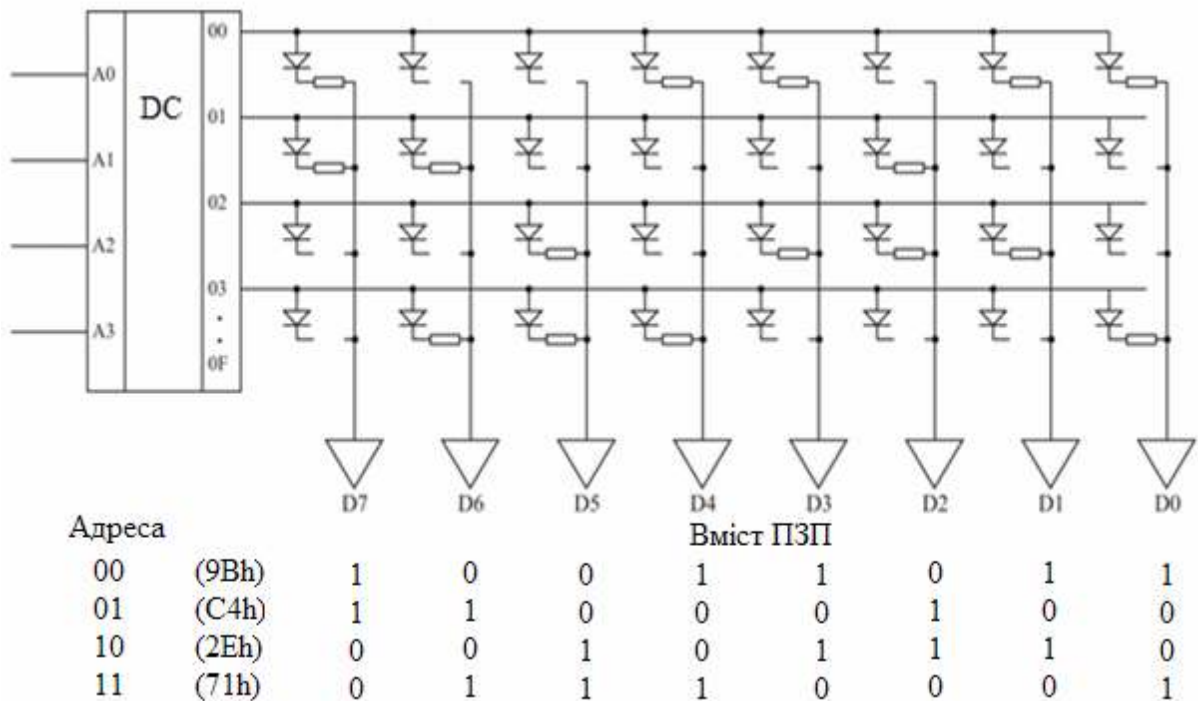


Рисунок 1.1 – Масковий діодний ПЗП

Запис проводиться шляхом металізації проміжків, що дозволяють з'єднати через діоди (або через МОП-транзистори) відповідні лінії рядків і стовпців (рис. 1.1). Це робиться за допомогою маскових фотошаблонів. Вони задають ділянки металізації, які потрібні для кодування тієї чи іншої інформації. Цим способом виготовляють ПЗП для мікропрограм, для перетворення двійкового коду в коди символів (кирилиця, латиниця, цифри).

Масковий діодний ПЗП, зображений на рис. 1.1, містить фрагмент програми ємністю чотири байти, який розташований в адресному просторі 00h – 03h. Схема складається з дешифратора, що має адресні входи і прямі виходи, а також систему адресних і розрядних ліній.

Кількість n адресних входів дешифратора визначається розмірами адресного простору і визначає число виходів дешифратора, що дорівнює 2^n . Так, наприклад, для адресації комірок пам'яті, розташованих в адресному просторі $00h \div 07h$, достатньо трьох адресних входів $A_0 - A_2$. При виході за цей простір кількість адресних входів збільшується.

Залежно від коду, поданого на адресні входи, на одній з адресних ліній з'являється одиничний (високий) потенціал. На всіх інших лініях в цей момент буде низький потенціал. Цей високий потенціал через відкриті діоди по ланцюгу анод – катод і ділянки металізації надходить на розрядні лінії і далі – на підсилювачі зчитування. Таким чином, формується відповідний код команди або символу.

В даний час велика частина ПЗП виготовляється з використанням МОП-технології. Якщо затвор МОП-транзистора приєднаний до вибраного рядку, то транзистор відкривається і шунтує напругу рівня «1» на «землю». Тому на відповідній розрядній лінії формується сигнал «0». Якщо затвор МОП-транзистора до вибраного рядка не приєднаний, то транзистор не відкривається, і на виході даного розряду ПЗП сигнал має значення «1».

Програмований постійний запам'ятовуючий пристрій (ППЗП), або PROM, – постійний запам'ятовуючий пристрій, в який інформація заноситься одноразово користувачем і не може бути згодом змінена.

Він відрізняється тим, що при його виготовленні всі діоди з'єднуються з відповідними стовпцями за допомогою плавких перемичок, як показано на рисунку 1.2.

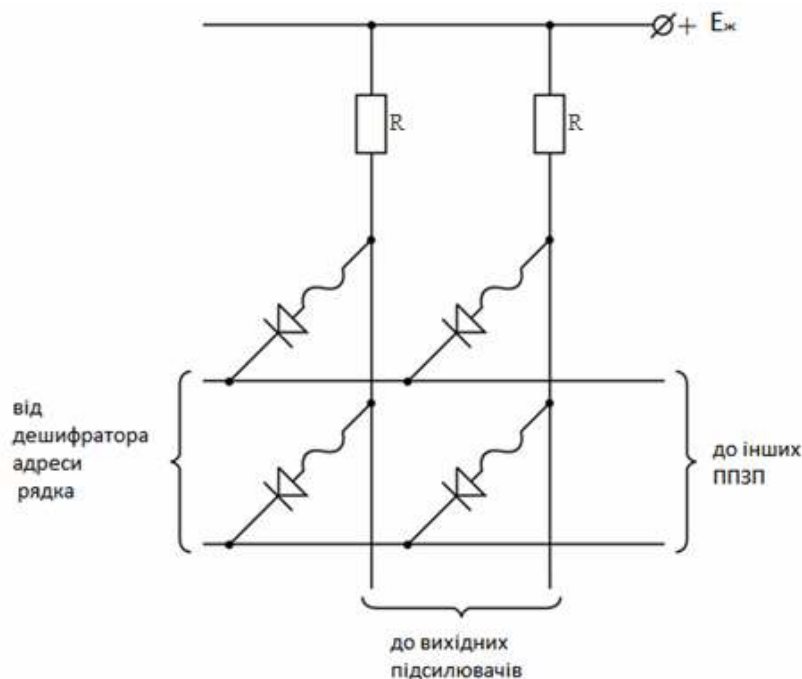


Рисунок 1.2 – Програмований ПЗП з перепалювальними перемичками

Програмування такого ППЗП полягає в тому, що на нього послідовно подаються адреси слів, а імпульсами струму руйнуються перемички в тих місцях, де вони не потрібні.

В результаті виходить структура пам'яті, зображена на рис. 1.3. Тут ППЗП містить фрагмент пам'яті, який розташовується в адресному просторі 0Ch ÷ 0Fh і який складається з чотирьох байтів.

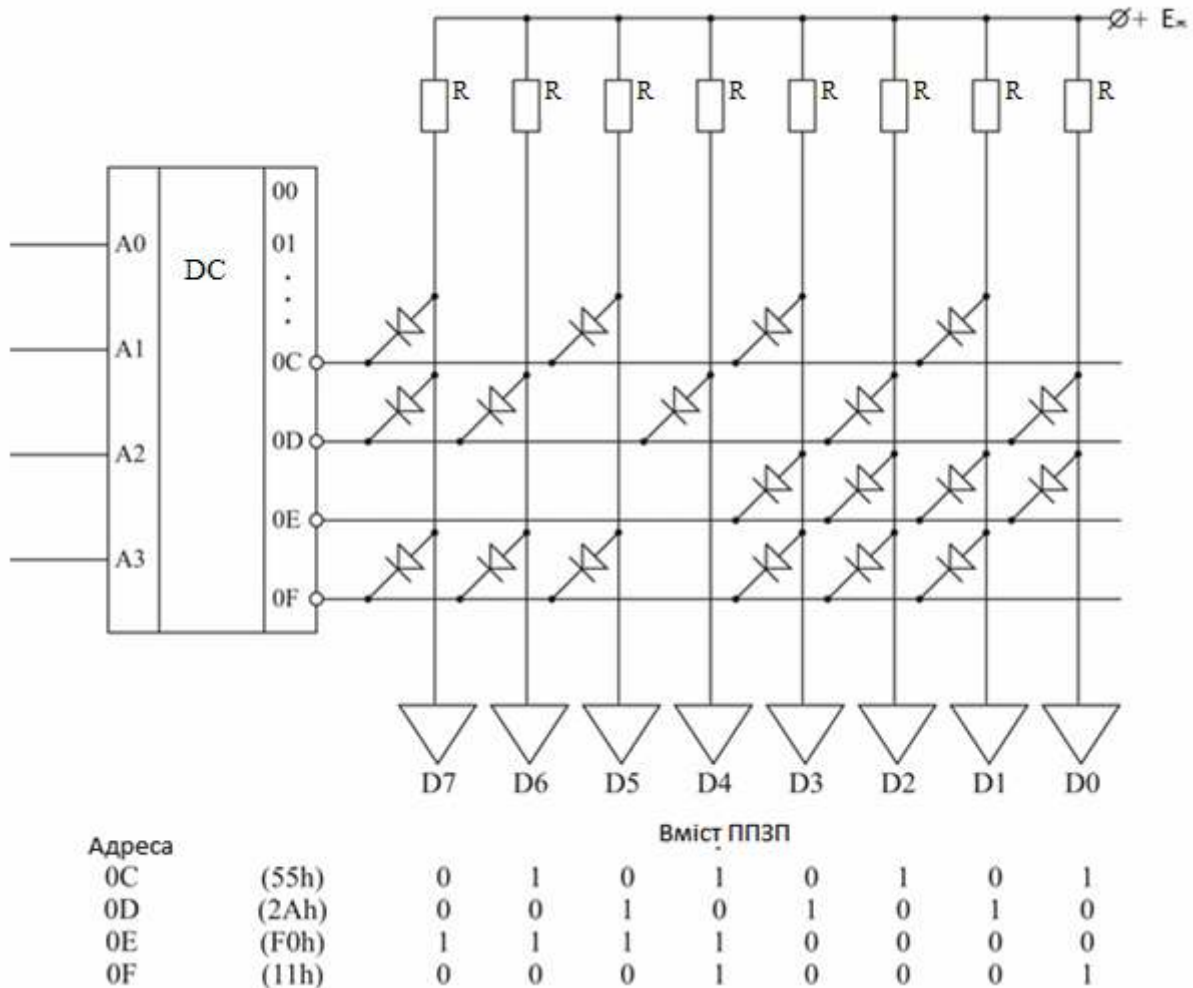


Рисунок 1.3 – Програмований діодний ППЗП

Дешифратор з інверсними виходами подає сигнал «0» на обраний рядок. На тих вихідних вертикальних лініях, на яких збережені діодні зв'язки з обраною горизонтальною лінією, формуються сигнали логічного «0», на інших – логічної «1».

Репрограмований постійний запам'ятовуючий пристрій (РППЗП) – постійний запам'ятовуючий пристрій, в якому інформація може неодноразово змінюватися спеціальними засобами стирання і запису.

Організація РППЗП (EPROM) відрізняється від організації ППЗП тим, що між лініями рядків і стовпців встановлені не діоди з плавкими

перемичками, а спеціальні МОП-транзистори з ізольованим затвором. Після виготовлення всі МОП-транзистори закриті і мають дуже великий опір (в комірках спочатку записані «1»). Подачею імпульсу великої амплітуди МОП-транзистор переводиться в провідний, нульовий стан, який він може зберігати більше 10 років.

Для повернення МОП-транзисторів у вихідний (закритий) стан їх треба піддати тривалій дії ультрафіолетових променів. Групове опромінення всіх МОП-транзисторів виробляється на спеціальних пристроях протягом 10÷30 хвилин через прозоре вікно в корпусі мікросхеми.

Після опромінення схема РППЗП опиняється у вихідному стані, і її можна знову програмувати. Для запису нової інформації мікросхема РППЗП, як правило, витягується з виробу і з'єднується із спеціальним програматором.

Електрично змінний постійний запам'ятовуючий пристрій (ЕЗПЗП). У таких схемах після програмування можна повернути у вихідний стан електричним сигналом будь-який окремо взятий МОП-транзистор.

ЕЗПЗП (EEPROM) енергонезалежні, проте вони не забезпечують довготривалого зберігання інформації. Крім того, вони мають найбільшу вартість і найменшу щільність розміщення інформації. Для стирання, запису і читання даних в них потрібна різна напруга.

ФЛЕШ-пам'ять. Комірка такої пам'яті містить, подібно комірці EEPROM, транзистор, керований "захопленням" зарядом.

Проте технології флеш-пам'яті і EEPROM, незважаючи на велику схожість, істотно різняться. Пам'ять EEPROM дозволяє зчитувати і записувати вміст однієї комірки.

Флеш-пам'ять дає можливість зчитувати комірки по одній, а записувати тільки цілими блоками. Перед записом початковий вміст блоку комірок повністю стирається. Флеш-пам'ять має більшу щільність комірок, а, отже, велику ємність і меншу вартість в перерахунку на біт. Для неї достатньо напруги живлення одного рівня, і до того ж вона більш економічна.

Завдяки своїй економічності флеш-пам'ять зручна для використання в портативних системах, що працюють на батареях. Вона застосовується в портативних комп'ютерах, стільникових телефонах, цифрових відеокамерах і плеєрах.

У випадку вживання в портативних комп'ютерах і стільникових телефонах флеш-пам'ять містить програмне забезпечення, замінюючи собою дискові пристрої. У цифрових камерах вона використовується для зберігання зображень, а в плеєрах – для зберігання звуку.

Флеш-пам'ять використовується у вигляді великих модулів, що складаються з безлічі мікросхем. Існують два популярні різновиди таких модулів: флеш-карти і крупніші модулі – флеш-диски.

Мікропроцесорна електронна обчислювальна машина (мікрЕОМ)– цифрова електронна обчислювальна машина, що включає мікропроцесор (МП), інтерфейси введення-виводу, пам'ять, і, при необхідності, пульт управління і джерела електроживлення, об'єднані загальною несучою конструкцією (рис 1.4).

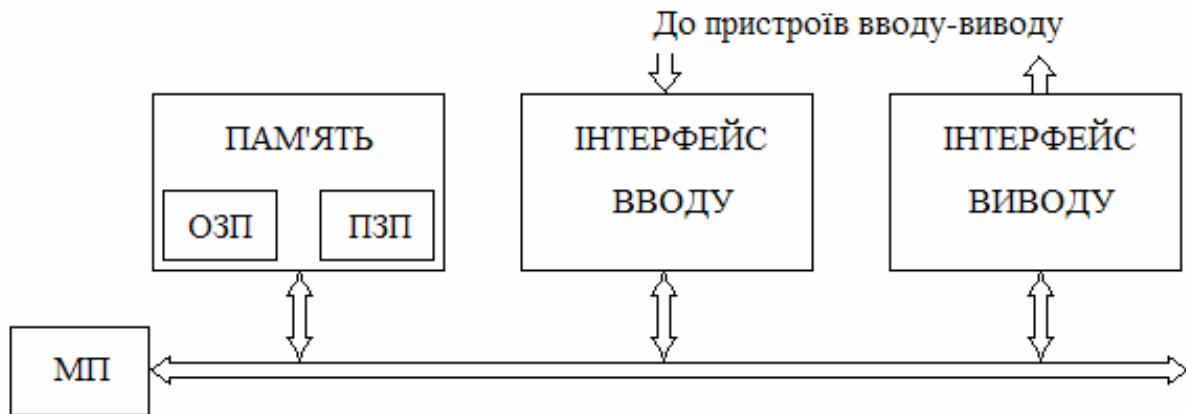


Рисунок 1.4 – Спрощена структурна схема мікроЕОМ

Однокристална мікроЕОМ (ОЕОМ) – мікроЕОМ, виконана у вигляді однієї ВІС.

Мікропроцесорний комплект (МПК) ВІС – сукупність мікропроцесорних і інших ІМС, сумісних по інформаційних, електричних і конструктивних параметрах і призначених для спільного використання у складі МП, мікроЕОМ та інших технічних засобів.

Архітектура мікроЕОМ – сукупність взаємопов'язаних апаратних і програмних засобів, доступних користувачеві, що забезпечують реалізацію алгоритмів обробки інформації.

Шина (магістраль, канал) – набір певного числа ліній (сполучних провідників), що зв'язують між собою однойменні виводи різних пристроїв (рис. 1.5).

По кожній лінії зв'язку шини може бути передане значення одного розряду двійкового коду у вигляді рівнів напруги (струму), відповідних логічному «0» або логічній «1», а по всій шині в цілому, паралельно – значення коду, число розрядів в якому дорівнює числу провідників в шині.

Особливістю шин є те, що кожна лінія зв'язку шини може об'єднувати декілька (більше двох) однойменних виводів і, наприклад, сполучати виходи декількох передавачів і входи декількох приймачів інформації.

Вибір приймача або передавача інформації в цьому випадку здійснюється за допомогою спеціальних сигналів ВК (вибір кристала) або ВМ (вибір модуля).

З декількох передавачів інформації, пов'язаних з одним приймачем, в

кожен момент часу може бути підключений лише один передавач. Це реалізується за допомогою схем з відкритим колектором або з трьома стійкими станами. Третій (пасивний) стан передавача, що характеризується його високим вихідним опором, еквівалентний відключенню передавача від лінії зв'язку.

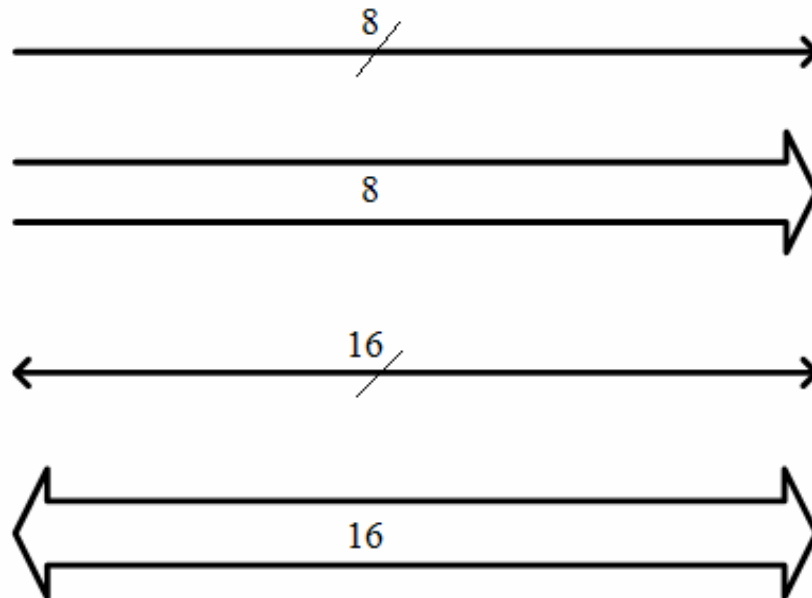


Рисунок 1.5 – Умовне позначення 8 та 16-розрядних шин

Двонаправлена шина (магістраль) – шина (магістраль), по якій здійснюється двонаправлений обмін інформацією між різними пристроями (рис.1.6). Слід зауважити, що в кожен фіксований момент часу інформація по шині (магістралі) може передаватися лише в одному напрямі. Наприклад, спочатку по магістралі мікроЕОМ передається інформація із пристрою пам'яті в МП, потім по тій же магістралі передається інформація у зворотному напрямі з МП в пристрій пам'яті.

Зовнішній запам'ятовуючий пристрій (ЗЗП) – накопичувач великого обсягу (тисячі і більше кілобайт), призначений для тривалого зберігання даних, створення архіву даних та обміну файлами цих даних з ОЗП мікропроцесорної системи. Зовнішній ЗП в загальному випадку складається з накопичувача (на магнітній стрічці, магнітних дисках, магнітних картах і так далі) і контролера.

Контролер ЗЗП – пристрій, що забезпечує управління роботою накопичувача і сполучення з інтерфейсом мікропроцесорної системи.

Пристрої введення-виводу (ПВВ) – пристрої, що служать для введення або виводу інформації, наприклад клавіатура, алфавітно-цифровий або графічний дисплей, друкуючі пристрої різних типів, накопичувачі на магнітній стрічці, магнітних і оптичних дисках і т. д.

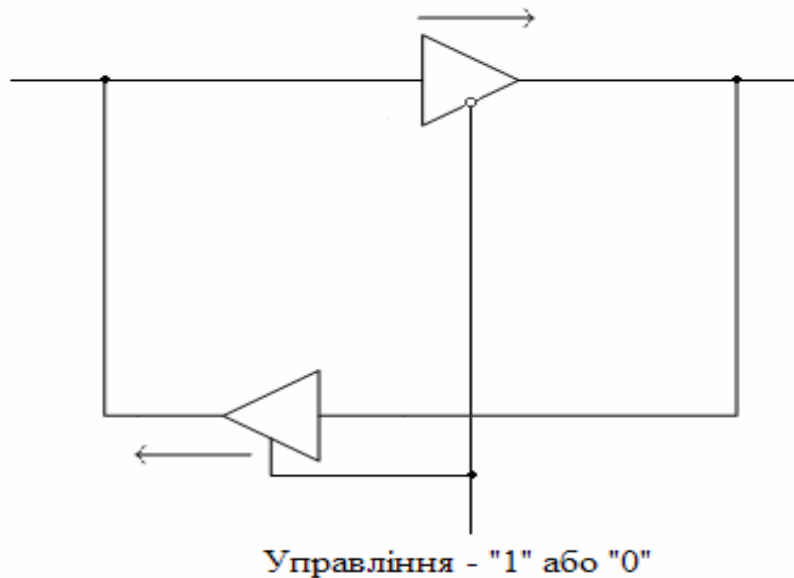


Рисунок 1.6 – Двонаправлена шина

Периферійні, або зовнішні пристрої – узагальнююча назва ЗЗП і ПВВ.

Порти введення або виводу – регістри для підключення зовнішніх пристроїв. Кожному з цих регістрів зазвичай привласнюється своя адреса. За допомогою сигналів вибору кристала (ВК) або вибору модуля (ВМ), що подаються з дешифратора адреси, регістри приводяться в активний стан.

Регістри загального призначення (РЗП) – програмно-доступні регістри, які реалізують внутрішню пам'ять МП. Використовуються для оперативного зберігання як даних, так і адрес.

Мікроконтролер (МК) – пристрій локального управління, виконаний на одній або декількох ІМС.

Мікроконтролер призначений для автономного вбудовування в апаратуру і містить мікропроцесор, ОЗП і ПЗП обмеженого об'єму, засоби зв'язку з джерелами і приймачами інформації, а також засоби об'єднання в мікропроцесорні локальні мережі.

Пристрій зв'язку з об'єктом (ПЗО) – пристрій, що здійснює зв'язок мікроконтролера з об'єктом управління (датчиками і виконавчими пристроями об'єкту управління). Він дозволяє робити прийом аналогових і дискретних сигналів, видачу команд на аналогові і дискретні пристрої, посилення і нормування сигналів, аналого-цифрове і цифро-аналогове перетворення.

Він здійснює також логічні перетворення, перетворення форматів даних, розв'язку зовнішніх ланцюгів і захист їх від короткого замикання, контроль і діагностику, а також внутрішні перетворення, пов'язані із зберіганням адрес і даних.

До складу ПЗО входять інтерфейси для зв'язку з мікроконтролером і

об'єктом управління, реєстри для зберігання адрес і даних, аналого-цифровий (АЦП) і цифро-аналоговий (ЦАП) перетворювачі, логічні пристрої, формувачі сигналів, пристрої оптронної розв'язки, пристрої індикації і захисту і тому подібне.

Мікропроцесорна система управління (МПСУ) – система, що містить мікроконтролер, об'єкт управління (ОУ) з датчиками (Д) і виконавчими пристроями (ВП), пристрої зв'язку з об'єктом (ПЗО) і, при необхідності, різні периферійні пристрої (рис. 1.7).

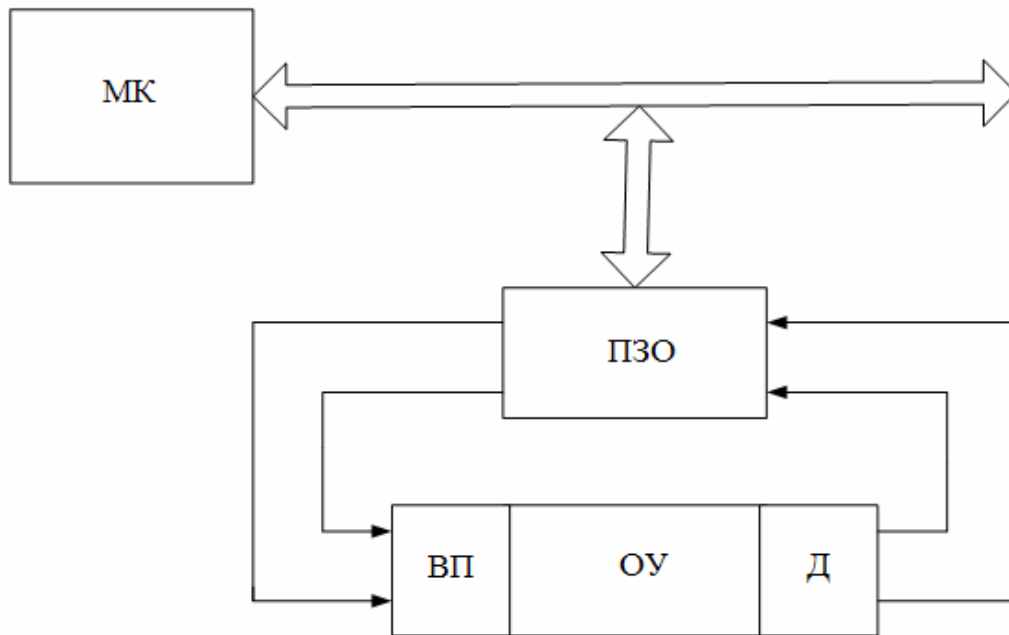


Рисунок 1.7 – Спрощена структурна схема МПСУ

Лічильник команд – програмно-доступний реєстр МП, який містить адресу чергової команди. При виконанні команди вміст лічильника команд автоматично змінюється.

Стек – будь-яка область ОЗП, робота з якою здійснюється за принципом «останній прийшов – перший пішов». Для адресації комірок пам'яті, що входять в стекову область, використовується спеціальний адресний реєстр SP – покажчик стека.

Перед початком роботи в реєстр SP завантажується адреса «верхівки» стека, тобто максимальний з адрес елементів пам'яті, які входять в стекову область ОЗП. Оскільки вміст комірки ОЗП зазвичай складає один байт, то запис будь-якого слова в стек відбувається побайтово. При занесенні в стек 16-розрядного слова вміст SP автоматично зменшується на одиницю і в елемент пам'яті, адреса якої знаходиться в SP, записується старший байт слова. Далі вміст SP знову автоматично зменшується на одиницю і в елемент пам'яті з адресою, на одиницю меншої попередньої, записується молодший байт слова.

Витягання даного слова із стека відбувається в зворотному порядку. Після витягання кожного байта вміст покажчика стека автоматично збільшується на одиницю. Таким чином, при кожному зверненні до стека можна або витягувати раніше записане слово з елементу пам'яті, адреса якої зберігається в покажчику стека SP, або записати нове слово за адресою, яка на одиницю менша, ніж вміст регістра SP. Вказані можливості реалізуються за допомогою двох типів команд. Виконання однієї з них приводить до витягання раніше записаного слова із стека, виконання іншої – до занесення нового слова в стек.

Операнд – вихідні дані, представлені у вигляді двійкового слова завдовжки від одного до декількох байт, над яким виконується операція.

Команда – двійковий код, довжина (формат) якого складає від одного до декількох байт. Перший байт будь-якої команди містить код операції. Він визначає формат команди і ті дії, які мають бути зроблені МП над операндом (операндами), щоб отримати результат. У подальших байтах команди міститься пряма або непряма адреса операнда, або безпосередньо сам операнд.

Під прямою адресою операнда розуміється адреса комірки ОЗП або номер внутрішнього регістра МП, де зберігається операнд. Непряма адреса операнда – номер внутрішнього регістра МП, в якому зберігається пряма адреса операнда.

Переривання. Під час виконання ЕОМ поточної програми усередині машини і в пов'язаному з нею зовнішньому середовищі (технологічний процес) можуть виникати події, що вимагають негайної реакції на них з боку машини (готовність ЗП по введенню або виведенню даних, поява помилок при введенні – виводі, аварійна ситуація).

Реакція полягає в тому, що машина перериває обробку поточної програми і переходить до виконання іншої програми, спеціально призначеної для даної події.

Після закінчення цієї програми ЕОМ повертається до виконання перерваної програми.

Цей процес, званий «перериванням програм», пояснюється рис. 1.8.

Моменти виникнення подій, що вимагають переривання програм, заздалегідь невідомі і тому не можуть бути враховані при програмуванні.

Кожна подія, що вимагає переривання, супроводжується сигналом, що поступає на відповідний вхід МП і званим «запитом переривання».

У відповідь на сигнал запиту переривання, після закінчення поточної команди, МП видає сигнал «Дозвіл переривання», тимчасово припиняє виконання поточної програми і переходить до програми обслуговування пристрою.

Програму, що зажадалася запитом переривання, називають *перериваючою* програмою. Програма, що переривається, – програма, що виконувалася машиною до появи запиту.

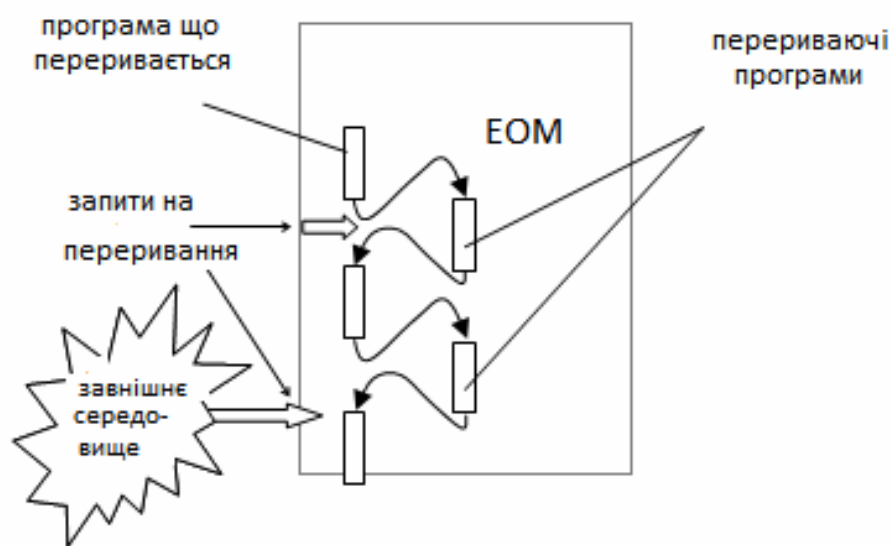


Рисунок 1.8 – Ілюстрація процесу переривання поточної програми

До запитів на переривання, що виникають усередині самої ЕОМ, відносяться запити при виникненні в ЕОМ таких подій, як збої в апаратурі, переповнювання розрядної сітки, спроби ділення на «0», зажадання периферійним пристроєм операції введення-виводу і ін. Моменти їх появи неможливо передбачити.

Запити в зовнішньому середовищі можуть виникати від інших ЕОМ, від аварійних і деяких інших датчиків технологічного процесу і тому подібне.

Сукупність апаратних і програмних засобів, що реалізують з високою швидкістю переривання програм, називають системою переривання програми або контролером переривань.

Основними функціями системи переривання є:

- запам'ятовування стану програми, що переривається, і здійснення переходу до перериваючої програми;
- відновлення стану перерваної програми і повернення до неї.

Стан програми характеризується словом стану програми (або процесора), або, що те ж саме, вектором стану.

Слово стану програми, або вектор стану, в кожен момент часу повинен містити інформацію, достатню для продовження виконання програми з точки, відповідної моменту формування даного вектора стану.

Вектор стану формується у відповідних регістрах процесора, зазначаючи зміни після виконання кожної команди.

Програма обслуговування пристрою введення завжди починається із занесення вектора стану програми МП в стек.

Набори інформаційних елементів, що створюють вектори стану, відрізняються в ЕОМ різних типів. Найпростіше вектор стану виглядає в

мікропроцесорів малої і середньої потужності. Як правило, він включає вміст лічильника команд (адреса чергової команди), вміст регістра ознак, вміст акумулятора і ін. елементи.

Складніші мікропроцесори містять складніші структури вектора стану.

За наявності декількох джерел запитів переривання між запитами (і відповідними перериваючими програмами) мають бути встановлені пріоритетні співвідношення, що визначають, який з декількох запитів, що поступили, підлягає обробці в першу чергу. Окрім того, пріоритетні співвідношення встановлюють, має право або не має даний запит переривати ту або іншу програму.

Режим прямого доступу до пам'яті – представлення мікропроцесором шин адрес і даних для обміну інформацією ПВВ із ОЗП. На якийсь час, протягом якого існує цей режим, МП відключається від вказаних шин (відповідні входи МП встановлюються в стан з високим вихідним опором).

Операції ПДП виконуються управляючою схемою, що входить до складу інтерфейсу пристрою введення-виводу. Ця схема називається контролером прямого доступу до пам'яті (КПДП). Вона виконує те ж завдання, що і процесор, що звертається до основної пам'яті.

Мікросхема ПДП, як показано на рисунку 1.9, має, принаймні, 4 регістри. Хоча контролер ПДП працює без участі процесора, він управляється виконуваною процесором програмою.

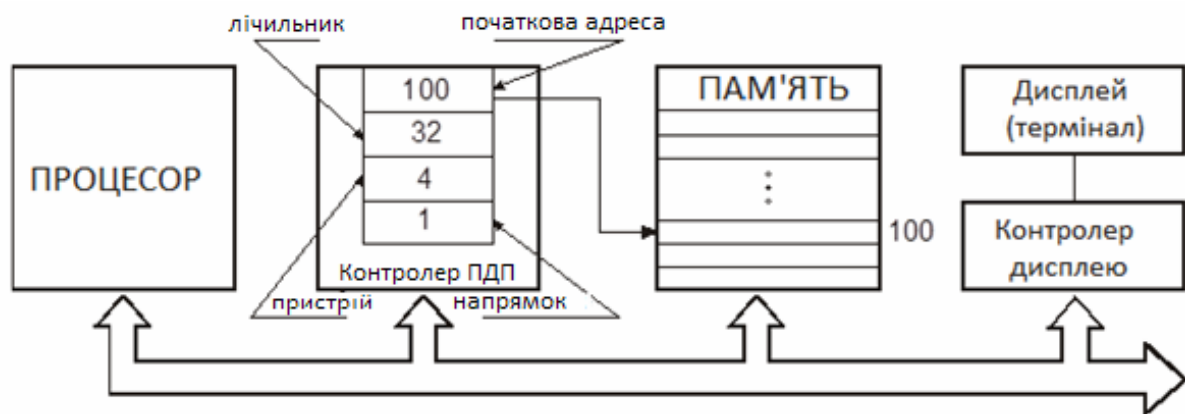


Рисунок 1.9 – Комп'ютерна система з контролером ПДП

У перший регістр завантажується початкова адреса блоку пам'яті, який потрібно зчитати або записати.

Другий регістр містить число, яке показує кількість переданих байтів або слів.

Третій регістр містить номер або адресу пристрою введення-виведення, визначаючи таким чином, який саме пристрій нам потрібен.

Четвертий регістр повідомляє, чи повинні дані зчитуватися з пристрою або записуватися в нього, тобто напрямок передачі.

Щоб записати блок з 32 байтів з початкової адреси пам'яті 100 на термінал (наприклад, пристрій 4), центральний процесор записує числа 100, 32 і 4 в перші три регістра КПДП і код запису (наприклад, 1) в четвертий регістр, як показано на рисунку 1.9. Таким чином, відбувається ініціалізація контролера ПДП.

Потім контролер робить запит на доступ до шини, щоб зчитати байт з комірки пам'яті за адресою 100 точно так само, якби центральний процесор сам зчитував цей байт. Отримавши потрібний байт, контролер ПДП посилає пристрою 4 запит на введення-виведення, щоб записати на нього байт.

Після завершення цих двох операцій контролер ПДП збільшує значення регістра адреси на 1 і зменшує значення регістра лічильника байтів на 1. До тих пір, поки значення регістра лічильника буде більше "0", наступний байт зчитується з пам'яті і записується на пристрій вводу-виводу. Коли значення лічильника доходить до "0", контролер ПДП зупиняє передачу даних та інформує про це процесор за допомогою сигналу переривання.

Поки контролер ПДП робить пересилку даних, програма, яка зробила запит на таку операцію, не може продовжувати свою роботу, і процесор часто використовується для виконання іншої програми. По закінченні пересилання, по сигналу переривання від КПДП, процесор може повернутися до вихідної програми.

Приклад використання прямого доступу до пам'яті в комп'ютерній системі наведений на рисунку 1.10.

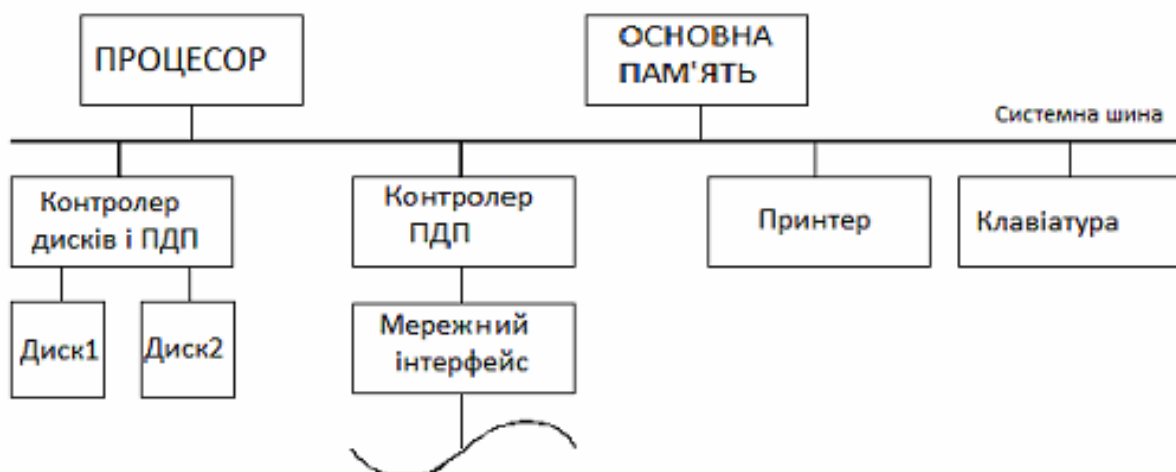


Рисунок 1.10 – Використання контролерів ПДП в комп'ютерній системі

Контролер ПДП з'єднує шину комп'ютера з високошвидкісною мережею. Контролер, керуючий кількома дисками, теж має вбудовані

функції ПДП і підтримує два канали передачі даних. Він може виконувати дві незалежні операції ПДП так, немов кожен диск має власний контролер ПДП. Для цього в контролері мається два набори необхідних регістрів – по одному для кожного пристрою.

Процесор і контролери ПДП звертаються до пам'яті по чергово. Запити пристроїв ПДП на використання шини завжди мають вищий пріоритет, ніж запити процесора.

Серед пристроїв ПДП найвищий пріоритет мають високошвидкісні пристрої, що не допускають затримок – диски, швидкісний мережний інтерфейс, графічний дисплей. Оскільки більша частина циклів доступу до пам'яті ініціюється процесором, можна сказати, що контролер ПДП забирає їх у процесора. Процес відбирання контролером ПДП циклів шини у центрального процесора називається захопленням циклу.

Контролеру ПДП для пересилки блоку даних без переривань також може бути наданий самостійний, монопольний доступ до основної пам'яті. Такий режим називається блоковим (blockmode) або монопольним (burstmode).

Більшість контролерів ПДП містять буфер для зберігання даних. Наприклад, у випадку мережного інтерфейсу контролер ПДП зчитує з основної пам'яті блок даних і зберігає його в своєму вхідному буфері. Пересилання виконується в монопольному режимі при максимальній швидкості, з якою можуть працювати пам'ять і шина комп'ютера. Після цього дані пересилаються з буфера по мережі зі швидкістю, яка визначається пропускнуою здатністю мережного з'єднання.

Контрольні запитання

1. Поняття великої інтегральної схеми та однокристального мікропроцесора.
2. Характерні особливості мікропроцесора і мікропроцесорної інтегральної мікросхеми.
3. Поясніть термін «розрядність мікропроцесора».
4. Що таке «мікропроцесорна секція» і «секціонований мікропроцесор»?
5. Поняття інтерфейсу і запам'ятовуючого пристрою.
6. Дайте визначення оперативному запам'ятовуючому пристрою.
7. Що таке постійний запам'ятовуючий пристрій з масковим програмуванням?
8. Визначення програмованого постійного запам'ятовуючого пристрою.
9. Поясніть функціонування репрограмованих постійних запам'ятовуючих пристроїв.
10. Особливості роботи електрично-змінного постійного запам'ятовуючого пристрою.
11. Функціонування і призначення флеш-пам'яті.

12. Структура мікропроцесорної електронної обчислювальної машини.
13. Що таке однокристална мікроЕОМ?
14. Поняття шини і її призначення.
15. Побудова двонаправленої шини.
16. Зовнішній запам'ятовуючий пристрій та його контролер.
17. Призначення пристроїв введення-виводу.
18. Надайте характеристику портам введення-виводу.
19. Мікроконтролер і його призначення.
20. Поняття пристрою зв'язку з об'єктом.
21. Структура мікропроцесорної системи управління.
22. Що таке лічильник команд, команда та операнд?
23. Призначення та функціонування стека.
24. Поясніть поняття «переривання програм».
25. Охарактеризуйте режим прямого доступу до пам'яті.
26. Використання контролера прямого доступу до пам'яті в комп'ютерній системі.

2 Узагальнена структурна схема інформаційно-вимірювальної системи як складової частини АСМНС

2.1 Структура ІВС та її призначення

Для опису ІВС, пояснення складу функціональних частин і елементів, їх призначення і взаємозв'язку в системі широко застосовуються структурні схеми. Опис ІВС і вхідних у них функціональних елементів може також вироблятися за допомогою функціональних і принципівих схем. Слід зазначити, що в зв'язку з розширеним застосуванням у ІВС багатофункціональних інтегральних мікросхем принципівих схеми можуть виявитися навіть менш докладними, ніж структурні.

Структурні і функціональні схеми застосовуються переважно для розгляду принципів побудови пристроїв і при системному аналізі. Принципівих схеми призначені для схемотехнічного пророблення системи.

Розглянемо узагальнену структурну схему ІВС (рис. 2.1) для того, щоб одночасно познайомитися з умовними графічними позначеннями типових функціональних перетворювачів.

В структурній схемі показано багато датчиків 1, розміщених постійно у визначених точках простору, або що переміщуються (сканують) в просторі, або сприймаючих одночасно поле досліджуваної величини, багато аналогових 2 і аналого-цифрових перетворювачів 3, цифрові частини 4 і 5, багато цифро-аналогових перетворювачів 6. Функціональні блоки можуть з'єднуватися між собою через стандартні інтерфейси,

технічні засоби яких містять системи шин 7.1 інтерфейсних пристроїв ІФП 7.2 і пристроїв керування 8. На рис.2.1 показана також можливість з'єднання функціональних блоків жорстко встановленими зв'язками.

Пристрій керування може формувати командну інформацію, приймати інформацію $\{I^*\}$ від функціональних блоків і подавати команди на виконавчі пристрої 9 для формування впливу на об'єкт дослідження.

Впливи можуть бути, наприклад, у вигляді електричних, механічних теплових, оптичних, гідравлічних і акустичних величин. Впливи можуть організовуватися, по-перше, з метою створення відповідних умов для проведення експерименту і, по-друге, для зрівноважування величин, що діють на входи датчиків. В останньому випадку система називається замкнутою з компенсаційним зворотним зв'язком, а формовані впливи — величинами, що компенсують.

Багато аналогових перетворювачів 2 містить перетворювачі 2.1 і нормувальні перетворювачі 2.2 аналогових сигналів, (наприклад, масштабні перетворювачі, перетворювачі виду модуляції), комутатори аналогових сигналів 2.3, аналогові обчислювальні пристрої (F) 2.4, аналогові пристрої пам'яті 2.5, пристрої порівняння аналогових сигналів 2.6, аналогові канали зв'язку (КС_∩) 2.7, аналогові вимірювальні прилади 2.8, що показують і реєструють.

Інтерфейсні пристрої ІФП аналогових блоків головним чином служать для прийому сигналів управління і передачі інформації про стан блоків. Наприклад, через ІФП можуть передаватися команди на зміну режиму роботи, на підключення заданого ланцюга за допомогою комутатора. Між аналоговими і цифровими пристроями включено багато аналого-цифрових перетворювачів 3.1 і аналогових пристроїв контролю 3.2.

До цифрових пристроїв 4 відносяться формувачі імпульсів 4.1, перетворювачі кодів 4.2, комутатори 4.3, спеціалізовані цифрові обчислювальні пристрої 4.4 (з позначенням CPU), пристрою пам'яті 4.5, пристрою порівняння кодів 4.6, канали цифрового зв'язку 4.7 (з позначенням КС_#), універсальні програмувальні обчислювальні пристрої — мікропроцесори, мікроЕОМ 4.8.

Група цифрових пристроїв виводу, відображення і реєстрації 5 містить формувачі кодоімпульсних сигналів 5.1, друкувальні пристрої 5.2, пристрої запису на перфострічку 5.3 (ПЛ) і зчитування з перфострічки 5.4 (також з позначенням ПЛ), нагромаджувачі інформації на магнітній стрічці 5.5 (МЛ) і магнітних дисках 5.6 (МД), дисплеї 5.7 (Д), сигналізатори 5.8, цифрові індикатори 5.9.

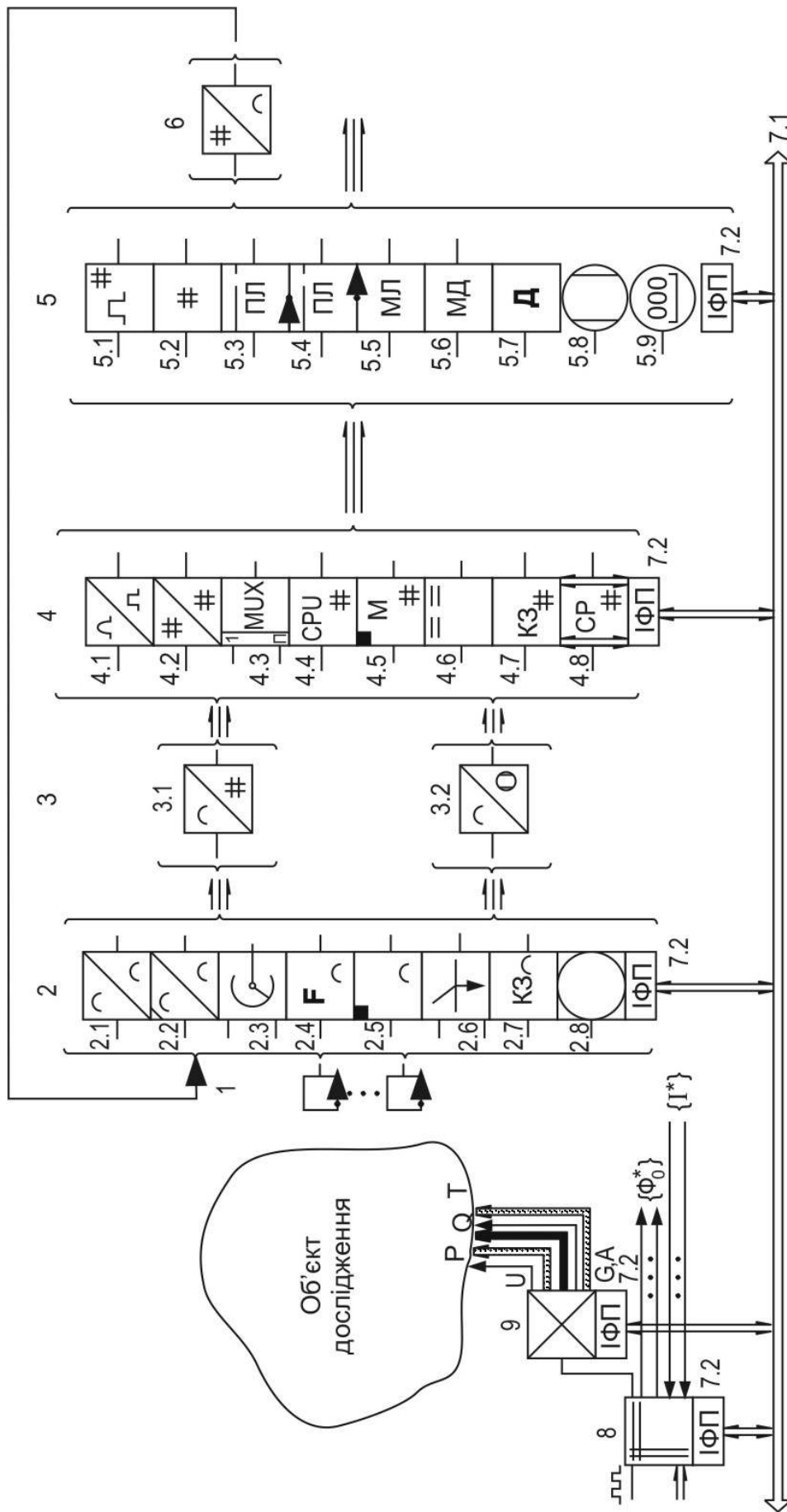
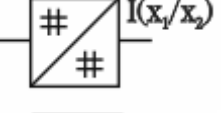
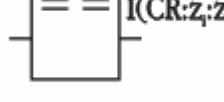

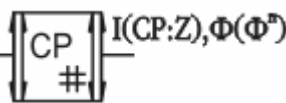
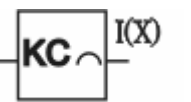
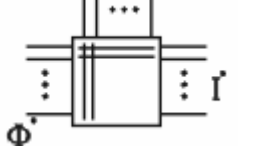
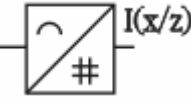
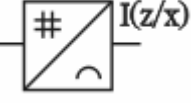
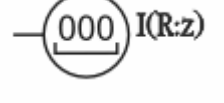
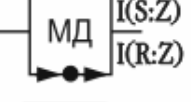



Рисунок 2.1 – Узагальнена структурна схема ІВС

Таблиця 2.1 – Позначення ФБ і перетворювань

Назва блоку	Умове позначення	Назва блоку	Умове позначення
Датчик	 $I(x_1/x_2)$	Перетворювач кодів	 $I(x_1/x_2)$
Аналоговий перетворювач	 $I(x_1/x_{n+1})$	Цифровий комутатор, мультиплексор	 $I(Z/z_1)$
Аналоговий комутатор	 $I(I/x_1)$	Цифровий ЗП	 $I(S:Z)$
Нормуючий аналоговий перетворювач	 $I(x_1/x_2)$	Цифровий пристрій порівняння	 $I(CR:z_1:z_2)$
Аналоговий ЗП	 $I(S:X)$	Цифровий обчислювальний пристрій	 $I(CP:Z)$
Аналоговий пристрій порівняння	 $I(CR:x_1;x_2)$	МікроЕОМ	 $I(CP:Z), \Phi(\Phi^n)$
Аналоговий обчислювальний пристрій	 $I(F:X)$	Цифровий канал зв'язку	 $I(Z)$
Аналоговий канал зв'язку	 $I(X)$	Пристрій управління	 I'
Реєструючий прилад	 $I(W:x)$	Виконавчий пристрій	 U, U_k, P, P_k, T, T_k
Показуючий прилад	 $I(R:x)$	Цифровий реєструючий пристрій	 $I(W:Z)$
Аналого-цифровий перетворювач	 $I(x/z)$	Дисплей (екранний пульт)	 $I(R:X:Z), I(W:X:Z)$
Цифро-аналоговий перетворювач	 $I(z/x)$	Цифровий індикатор	 $I(R:z)$
Накопичувач на магнітних ісках	 $I(S:Z), I(R:Z)$	Індикатор результатів контролю	 $I(R:CHn)$
Накопичувач на магнітній стрічці	 $I(S:Z), I(R:Z)$	Таймер	 $I(T)$

У структурних схемах далі використовуються також позначення елементів цифрової обчислювальної техніки, установлені ДСТ. Зокрема, застосовуються наступні позначення: регістр – RG, лічильник – CT, пристрої затримки в часі – DL, генератор – G (серії імпульсів – G_n, безперервної послідовності імпульсів – GN, сигналу, що лінійно змінюється – G/, синусоїдального сигналу – GSIN, одиночного імпульсу – G1), дешифратор – DC, тригер – T, пам'ять – M (ОЗП-RAM, SAM, ПЗП – ROM, ППЗП – PROM), мультиплексор (цифровий комутатор) – MUX, демультимплексор – DMX і ін.

Крім зазначених на рис.2.1 умовних графічних позначень, у структурних схемах використовуються позначення, наведені в таблиці 2.1.

Доречно відзначити, що комп'ютери 4.8 можуть узяти на себе ряд перетворень, виконуваних, наприклад, у блоках 2.4, 2.5, 2.6, 4.2, 4.4, 4.6, 5.1, а також функції керування (блок 8). Ці перетворення, природно, будуть виконуватися програмним шляхом.

Звичайно, не у всякої ІВС потрібні всі наведені на рис.2.1 блоки. Для кожної конкретної системи кількість блоків, склад функцій і зв'язку між блоками повинні встановлюватися особливо.

Відзначимо, що в технічній літературі можна зустріти назву компонентів ІВС, що є об'єднанням декількох функціональних блоків. Так, наприклад, об'єднання комутаторів аналогових сигналів і аналого-цифрових перетворювачів іноді називають багатоканальними АЦП.

Структурні схеми містять важливу інформацію про систему, але ця інформація не дозволяє судити про послідовність, режими, взагалі про алгоритми роботи даної системи. Це особливо відноситься до систем, заснованих на використанні обчислювальних комплексів, цифрових інтерфейсів, що містять мікропроцесори, ЕОМ і інші багатфункціональні пристрої. Зазначену інформацію необхідно приводити додатково.

2.2 Загальна класифікація ІВС

Залежно від виконуваних функцій ІВС реалізується у вигляді вимірювальних систем (ВС), систем автоматичного контролю (САК), систем технічної діагностики (СТД), систем розпізнавання або ідентифікації образів (СРО).

У СТД, САК, СРО вимірювальна система входить як підсистема. Інформація, що характеризує об'єкт виміру сприймається ІВС, обробляється по деякому алгоритмі, у результаті чого на виході системи отримується **кількісна інформація**, що відбиває стан даного об'єкта. ІВС істотно відрізняється від інших типів ВС і систем автоматичного керування. Використання інформації для керування не входить у функції ІВС. Але інформація, одержана на виході ІВС, може використовуватися для прийняття будь-яких рішень. Наприклад, для керування конкретним

експериментом.

Кожному конкретному виду ІВС властиві численні особливості, обумовлені вузьким призначенням систем і їх технологічно-конструктивним призначенням.

Поширеною є класифікація ІВС по функціональному призначенню. За цією ознакою різняться ВС, САК, СТД, СРО.

За характером взаємодії системи з об'єктом дослідження й обміну інформації між ними ІВС можуть бути розділені (рис.2.2) на:

- активні;
- пасивні.

Пасивні системи тільки сприймають інформацію від об'єкта, а активні, діючи на об'єкт через пристрій зовнішніх впливів, дозволяють автоматично й найбільш повно за короткий час вивчити його поведження. Такі структури широко застосовуються при автоматизації наукових досліджень різних об'єктів.

Залежно від характеру обміну інформацією між об'єктами й активними ІВС розрізняють:

- ІВС без зворотного зв'язку;
- ІВС зі зворотним зв'язком по впливу.

Вплив на об'єкти може здійснюватися по заздалегідь установленій твердій програмі, що враховує реакцію об'єкта.

У першому випадку реакція об'єкта не впливає на характер впливу, а отже й на хід експерименту, його результати можуть бути видані оператором після закінчення експерименту.

У другому випадку результати реакції відбиваються на характері впливу, тому обробка ведеться в реальному часі. Такі системи повинні мати розвинену обчислювальну мережу. Крім того, необхідне оперативне подання інформації оператору у формі, зручній для сприйняття, щоб він міг втручатися в хід процесу.

Велике значення в ІВС мають методи обробки вимірювальної інформації. Операція обробки вимірювальної інформації виконується в пристроях, таких як спеціалізовані ЕОМ або персональні комп'ютери. У деяких випадках обробка результатів вимірювань може здійснюватися безпосередньо у вимірювальному тракті, тобто в реальному масштабі часу.

У системах, що мають обчислювальні пристрої, обробка інформації може здійснюватися як у реальному часі, так і з попереднім нагромадженням інформації в пам'яті ЕОМ, тобто зі зсувом у часі.

При дослідженні складних об'єктів або при виконанні багатофакторних експериментів застосовують вимірювальні системи, що сполучають високу швидкодію з точністю, так звані комбіновані. Такі ІВС характеризуються більшими потоками інформації на їхньому виході.

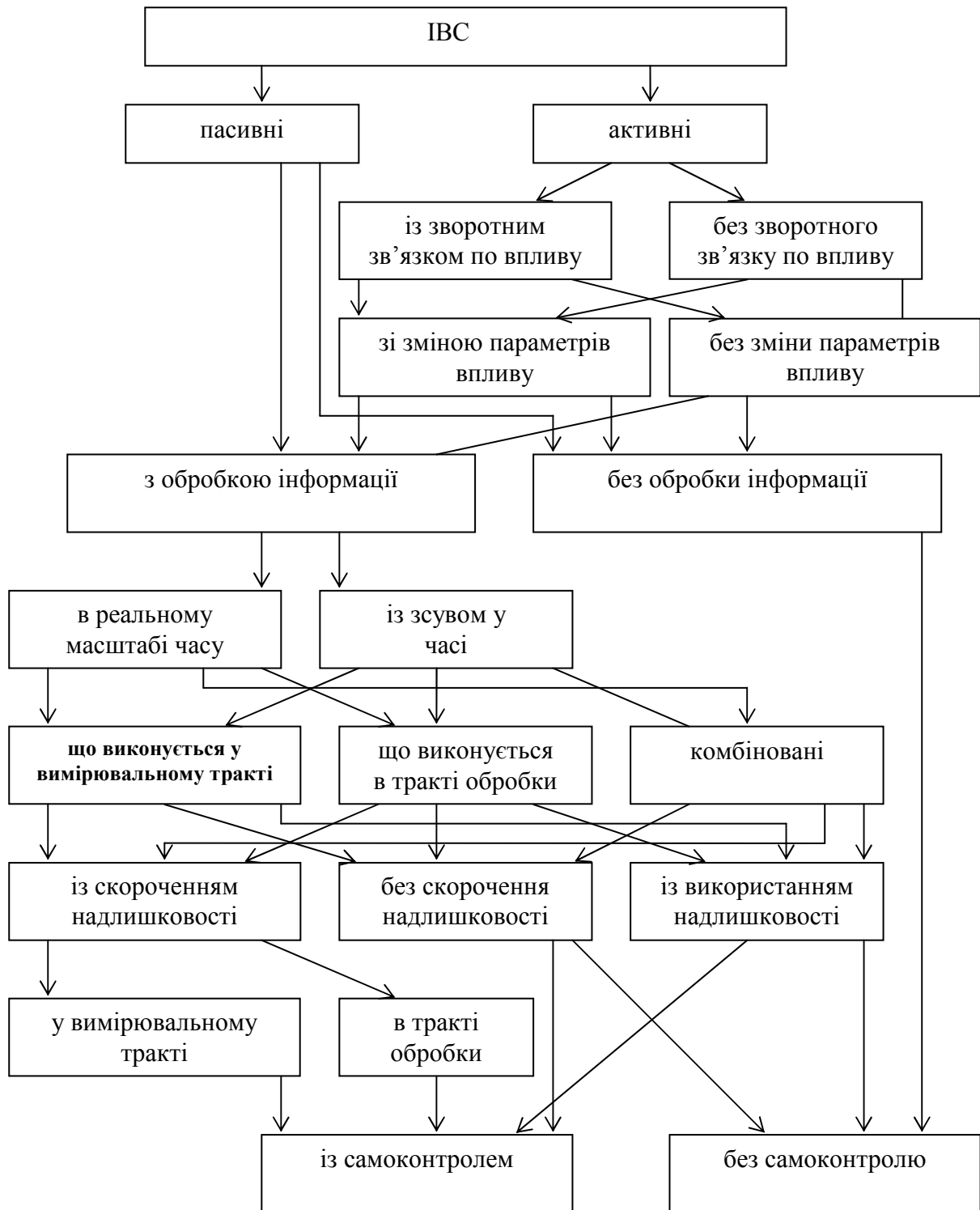


Рисунок 2.2 – Загальна класифікація ІВС

Значно підвищити ефективність ІВС у деяких випадках можна за рахунок скорочення надмірності інформації, тобто скорочення інтенсивності потоків вимірювальної інформації. Виключення надлишкової інформації, несуттєвої з погляду її споживача, дозволяє зменшити ємність пристроїв пам'яті, завантаження пристроїв обробки

даних, знижує вимоги до пропускну́ї здатності каналів зв'язку.

При проектуванні й реалізації ІВС велика увага приділяється проблемі підвищення вірогідності інформації на виході. Цього можна досягти, якщо покласти на ІВС функції самоконтролю шляхом здійснення тестових перевірок працездатності блоків системи. Завдяки цьому можна зберігати метрологічні характеристики блоків системи і вірогідність результатів обробки інформації.

2.3 Класифікація ІВС за функціональним призначенням

Залежно від функціонального призначення структури ІВС підрозділяються за принципом побудови.

Вимірювальні системи використовуються для комплексних досліджень наукового характеру. Вони призначаються для роботи з об'єктами, що мають до початку експерименту мінімум апріорної інформації. Мета створення таких систем полягає в одержанні максимальної кількості достовірної інформації про об'єкт для складання алгоритмічного опису його поведінки.

У цьому випадку зворотний зв'язок системи з об'єктом відсутній або носить допоміжний характер. Інформація, отримана на виході ІВС, може використовуватися для прийняття будь-яких рішень, створення збуджуючих впливів, але не для керування об'єктом. ІВС призначена для створення додаткових умов проведення експерименту, для вивчення реакції об'єкта на ці впливи.

Для вимірювальних систем характерно:

- більш високі, стосовно систем іншого виду, вимоги до метрологічних характеристик;
- більш широкий спектр вимірюваних фізичних величин і особливо їхня кількість;
- необхідність у засобах подання інформації. Визначальною вимогою є неспотворена наочна інформація й оперативне подання поточної інформації з урахуванням її швидкодії й динаміки відновлення;
- великий об'єм зовнішньої пам'яті для систем, у яких обробка й аналіз результатів експерименту проводиться після завершення самого експерименту.

Класифікація за функційним призначенням представлена на рис.2.3.

Статистичні ВС призначені для виміру статистичних характеристик вимірюваних величин. ВС для прямих вимірів призначені для незалежних вимірів дискретних значень безперервних величин. Вхідними в ВС для прямих вимірів є величини, відтворені датчиками або іншими вхідними пристроями системи. Задачі таких ВС полягають у виконанні аналогово-цифрових перетворень множини величин і видачі отриманих результатів

виміру. У таких ВС основні типи вимірюваних вхідних величин можуть бути зведені до множини величин, що змінюються в часі, $\{x_i(t)\}_{i=\overline{1,n}}$, або до зміни в часі t і розподіленої у просторі Ω безперервної функції $x(t, \Omega)$. При вимірі вона представляється множиною дискрет $\{x_{i,\Omega_j}\}$, $i = \overline{1,n}$, $j = \overline{1,m}$. Вимірювальні системи, що виконують вимір дискрет функції $x(t, \Omega)$, засновані на використанні багатоканальних, багатоточкових, мультиплікувальних і сканувальних структур.

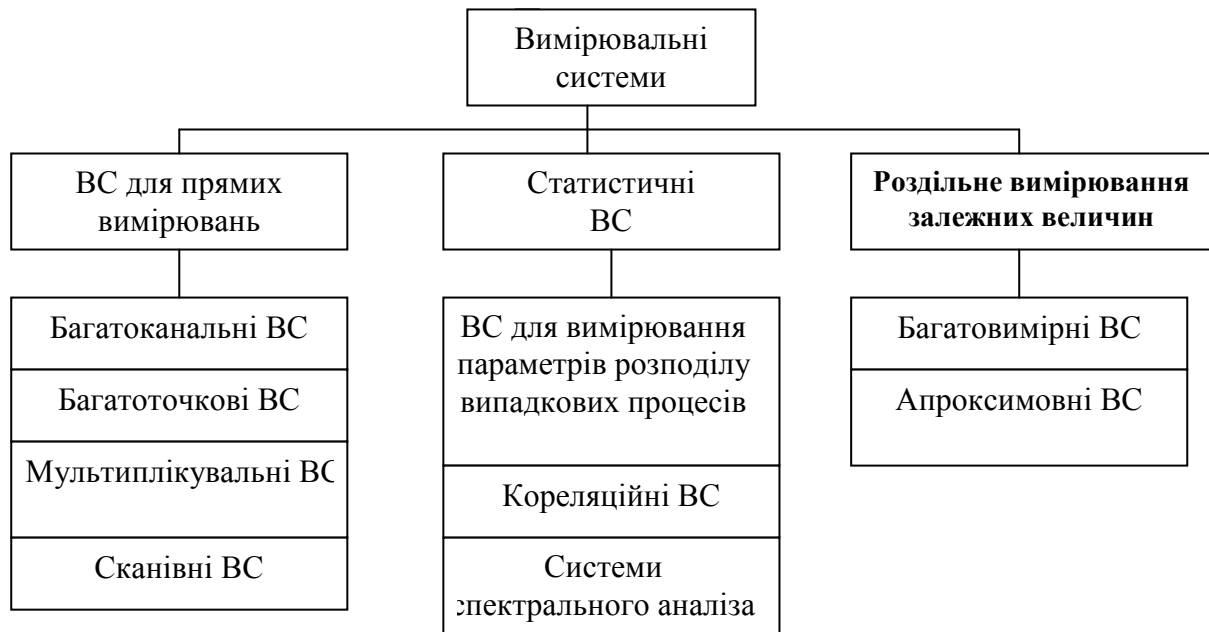


Рисунок 2.3 – Класифікація ІВС за функційним призначенням

Контрольні запитання

1. Для чого використовуються структурні, функціональні і принципові схеми?
2. Призначення датчиків в інформаційних вимірювальних системах.
3. Аналого-цифрові і цифро-аналогові перетворювачі в структурі інформаційної системи.
4. Використання інтерфейсних пристроїв в системах збору і передачі інформації.
5. Призначення пристроїв управління в складних системах збору і обробки інформації.
6. Які аналогові пристрої входять до складу інформаційно-вимірювальної системи?
7. Які цифрові пристрої входять до складу інформаційно-вимірювальної системи?

8. Функції яких блоків може взяти на себе комп'ютер в інформаційній системі?
9. Укажіть різницю між активними і пасивними інформаційно-вимірювальними системами.
10. Активні інформаційно-вимірювальні системи без зворотнього зв'язку.
11. Активні інформаційно-вимірювальні системи зі зворотнім зв'язком по впливу.
12. Обробка інформації у реальному часі.
13. Обробка інформації з попереднім нагромадженням інформації в пам'яті комп'ютера.
14. Надмірність інформації і шляхи підвищення ефективності інформаційно-вимірювальної системи.
15. Шляхи підвищення вірогідності інформації на виході інформаційно-вимірювальної системи.
16. Призначення статистичних вимірювальних систем.
17. Вимірювальні системи для прямих вимірів.
18. Апроксимовні та багатовимірні вимірювальні системи.

3 Структура, функціонування і склад автоматизованої інформаційної системи моніторингу навколишнього середовища

3.1 Структура ПЗО. Підсистема аналогового вводу

Загальні відомості. Пристрої, що забезпечують можливість підключення об'єкта до комп'ютера і комп'ютера до об'єкта управління, прийнято виділяти в спеціальний клас периферійних пристроїв – пристроїв зв'язку з об'єктом (ПЗО). Для промислових контролерів і комплексів наявність ПЗО в складі периферійного обладнання є обов'язковим, бо тільки з його допомогою можна забезпечити безпосередній фізичний одно або двосторонній зв'язок із об'єктом, а отже і рішення задач управління.

Розглянемо докладніше призначення і структуру ПЗО і вхідні в нього елементи (блоки).

У загальному випадку ПЗО містить у своєму складі підсистеми цифрового і аналогового введення і підсистеми цифрового і аналогового виводу (рис.3.1.).

Підсистеми аналогового вводу. Підсистема аналогового вводу здійснює перетворення аналогових фізичних величин в форму, прийнятну для використання в ЕОМ. За допомогою відповідних датчиків аналогові величини різної фізичної природи перетворюються в більшості випадків в постійний струм або напругу, використовувані в підсистемі аналогового вводу. Діапазон сигналів датчиків постійного струму може коливатися від

0 до 10 мВ і від 0 до 10 В. Сигнали менше 100 мВ вважаються низько рівневими, а більш 100 мВ – середньо рівневими. Така межа обрана тому, що переважна частина датчиків має вихідні сигнали або в мілівольтовому діапазоні, або в діапазоні (1–10)В. Крім того, запобіжні заходи, використовувані при конструюванні схем для сигналів мілівольтового рівня, відрізняються від відповідних заходів для схем з сигналами середнього рівня.

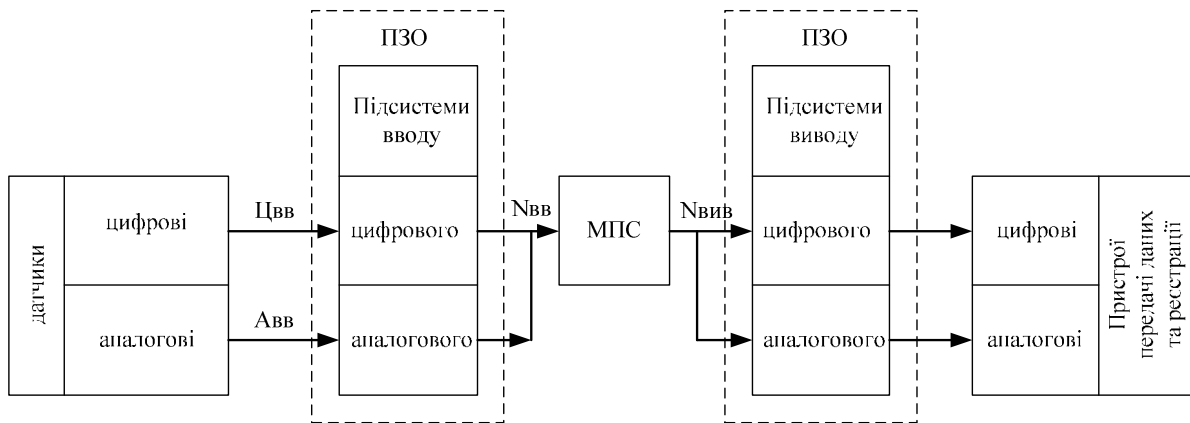


Рисунок 3.1 – Узагальнена структура автоматизованої інформаційної системи моніторингу навколишнього середовища

Розглянемо основні функції обладнання, що використовується в різних підсистемах аналогового вводу.

1. Нормалізація і посилення сигналу, фільтрація, ослаблення, зміщення рівня, перетворення струму в напругу, посилення та ін. В підсистемах аналогового вводу застосовуються підсилювачі трьох типів:

1.1. Підсилювач низького рівня. Більшість АЦП працює в діапазоні 5 В або 10 В, а сигнали датчиків є сигналами низького рівня. Для усунення цієї невідповідності використовують підсилювачі сигналів низького рівня з коефіцієнтом посилення по напрузі 5–1000, що дозволяють ефективно використовувати роздільну здатність аналого-цифрових перетворювачів (АЦП);

1.2. Високорівневий буферний підсилювач, що має високий вхідний, низький вихідний опору і одиничний коефіцієнт посилення. Буферний підсилювач використовується для узгодження датчиків, які мають високий вихідний опір, з АЦП, що мають низький вхідний опір;

1.3. Підсилювач вибірки-зберігання, що представляє собою аналоговий пристрій зберігання. Його вихід пропорційний входу до тих пір, поки не послідує команда запам'ятовування, після чого вихідний сигнал залишається постійним до закінчення дії команди. При використанні декількох підсилювачів вибірки-зберігання можна одночасно зафіксувати значення сигналів на декількох входах, подаючи команди

запам'ятовування одночасно на всі підсилювачі групи.

2. Комутація сигналів за допомогою електронного або електромеханічного перемикача. Комутатори класифікуються за рівнями сигналів, швидкодії і числу проводів в каналі (диференціальні або однопровідні).

3. Аналого-цифрове перетворення. Швидкість роботи відповідних перетворювачів змінюється від одиниць до десятків тисяч перетворень в секунду, а їх вхідна шкала зазвичай становить 5 або 10 В.

Комбінації описаних функцій дозволяють отримувати підсистеми аналогового вводу різного призначення, критеріями класифікації яких служать зазвичай швидкість опитування та рівень вхідних сигналів. Природно, що швидкість опитування підсистеми аналогового вводу менше швидкості роботи використовуваного в ній АЦП, оскільки необхідно враховувати час встановлення напруг (струмів) підсилювача і комутатора.

В високорівневих підсистемах ефекти, які викликані контактними опорами і термоелектричними потенціалами позначаються незначно. Використовуваний в високо рівневих підсистемах тип АЦП залежить головним чином від вимог, що пред'являються до швидкодії і роздільної здатності (точності) підсистеми.

В низько рівневих підсистемах повинні бути додатково враховані термоелектричні потенціали, контактні опори і т.п. ефекти. Використані після нормалізації диференціальні підсилювачі дозволяють отримати на виході однополярний сигнал 5–10 В. Коефіцієнти посилення цих підсилювачів можуть встановлюватися оператором вручну або програмно.

Підсистеми середньої і низької швидкодії найбільш поширені серед підсистем аналогового вводу для сигналів низького рівня. Основна відмінність між підсистемами низької і середньої швидкодії полягає у використанні пристроїв комутації каналів і в характеристиках підсилювачів сигналів середнього рівня. Тут комутатор повинен здійснювати перемикання сигналів низького рівня без помітної помилки, тому він зазвичай виконується як диференційний комутатор на герконах або польових транзисторах.

Розглянемо надалі перетворення основних фізичних величин в електричні і перетворення електричних сигналів в цифрову форму.

Процес отримання аналогового сигналу з будь-якого датчика, його попередня обробка, перетворення в цифрову форму і введення в пам'ять комп'ютера називається збором даних.

Рисунок 3.2 ілюструє загальну схему підсистеми збору даних. Контрольований параметр – температура, тиск, рівень напруги, струм, і т. п. за допомогою відповідного датчика Д перетвориться в електричний сигнал. Якщо сигнал на виході датчика недостатній для подальшої обробки, то він підсилювачем П посилюється до необхідного рівня.

Далі за допомогою активного фільтра Ф з сигналу видаляються

небажані низькочастотні і високочастотні складові (необхідність в попередньої фільтрації буде пояснена пізніше).

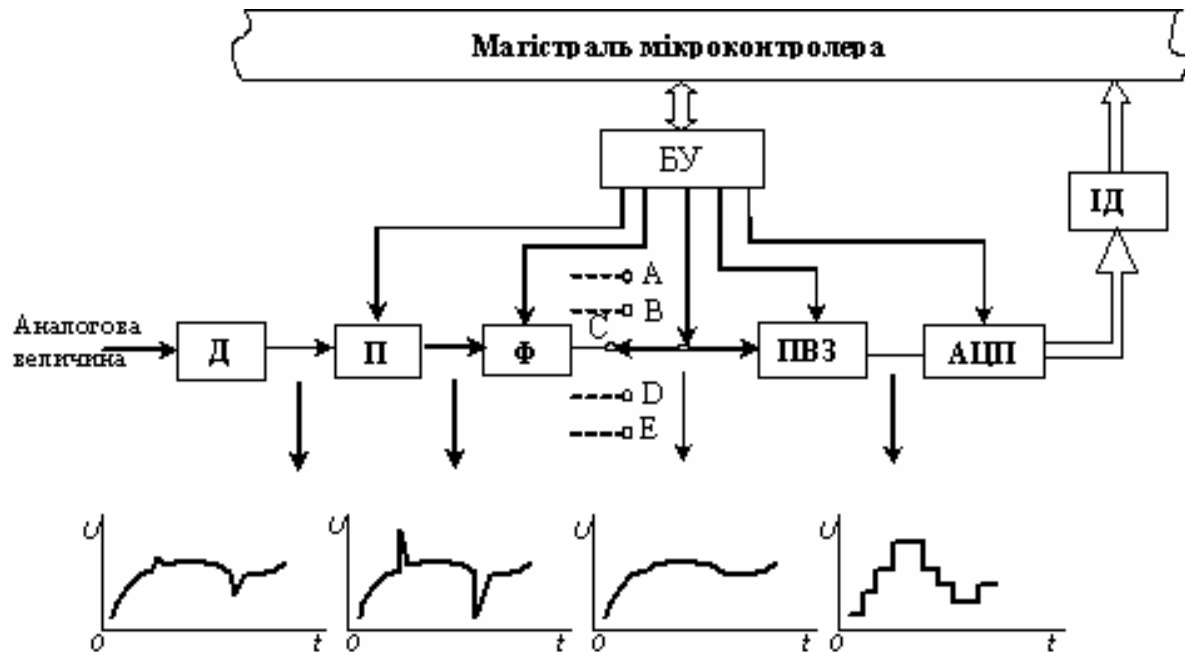


Рисунок 3.2 – Схема підсистеми аналогового вводу

Відфільтрований сигнал надходить через аналоговий мультиплексор на пристрій вибірки-зберігання ПВЗ. Застосування мультиплексора дозволяє в режимі поділу часу використовувати один аналого-цифровий перетворювач АЦП для багатьох каналів А, В, С,

Перетворення аналогової величини в цифрову відбувається за деякий кінцевий проміжок часу. Протягом цього проміжку часу сигнал на вході АЦП повинен підтримуватися незмінним.

Цю функцію виконує пристрій вибрання-збереження ПВЗ, сигнал на виході якого пропорційний сигналу на вході до тих пір, поки не послідує команда зберігання, після якої сигнал на виході залишається постійним протягом проміжку часу, необхідного для перетворення сигналу в цифрову форму (рис. 3.3).

Аналого-цифровий перетворювач перетворює рівень напруги на вході у відповідну цифрову величину. Далі цифрові дані через інтерфейсні схеми сполучення надходять у спільну магістраль мікроконтролера.

З наведеної схеми збору даних видно, що вхідний сигнал, що безперервно змінюється, замінюється сукупністю дискретних періодично вимірних значень, причому всередині кожного інтервалу амплітуда сигналу зберігається незмінною. Процес квантування спотворює вхідний сигнал. Теорема Котельникова про дискретно поданні стверджує, що для точного відновлення первісного сигналу з дискретного, частота опитування повинна принаймні удвічі перевищувати саму високочастотну

гармонійну складову вхідного сигналу. Частота квантування обмежена зверху швидкістю роботи АЦП. Якщо у вхідному сигналі є гармонійні складові з більш високою частотою, ніж частота квантування, то при відновленні аналогового сигналу вони викличуть суттєві викривлення. Для їх запобігання слід використовувати фільтр нижніх частот, який би не пропускав всі складові сигналу, що мають частоту вище за $1/2$ частоти квантування. Тільки при цих умовах процес квантування не викличе втрат інформації, що міститься у вхідному сигналі.

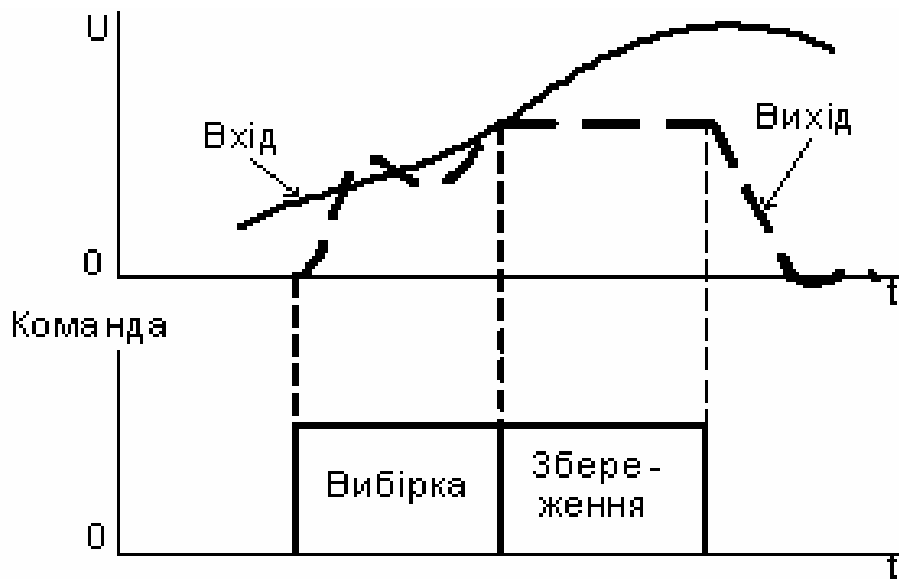


Рисунок 3.3 – Часова діаграма роботи пристроїв вибрання-збереження

Слід зазначити, що через обмеження роздільної здатності цифрового представлення виникає також і амплітудна похибка, яку необхідно враховувати.

Зупинимося на загальних принципах побудови окремих пристроїв, що входять в підсистему аналогового вводу.

Аналоговий мультиплексор. На відміну від цифрових мультиплексорів, в яких не відбувається втрат інформації при передачі цифрових сигналів, аналоговий мультиплексор – більш складний пристрій. При його розробці основна мета полягає в тому, щоб у вимірювання аналогового сигналу не вносилися похибки. Ця вимога може бути виконана при використанні ідеального ключа. У розімкнутому стані ідеальний ключ має нескінченний, а в замкнутому – нульовий опір.

Електромеханічні перемикачі найбільш близькі за своїми характеристиками до ідеальних ключів, однак через малий термін служби і низькі швидкості перемикачів вони не мають широкого розповсюдження.

Серед напівпровідникових перемикачів найкращі характеристики мають аналогові ключі на польових транзисторах з р-n-переходами і на

МОП-транзисторах. Опір закритого ключа досягає тисяч мегаом, і в цьому відношенні він стає близьким до ідеального ключа, що знаходиться в розімкнутому стані.

У порівнянні з іншими напівпровідниковими ключами польовий транзистор з р-п-переходом і МОП-транзистор характеризується повною відсутністю напруги зміщення у відкритому стані. Відкритий ключ в цьому випадку подібний лінійному омичному резистору від декількох десятків до декількох сотень Ом. Джерелами похибок таких ключів є опір відкритого ключа, струм витоку і перехідні процеси.

Динамічні характеристики аналогових комутаторів визначаються часом перемикання. Цей час для ключів на МОП-транзисторах складає сотні наносекунд. Під впливом паразитних ємностей C_0 ключів час встановлення комутатора може істотно зрости. Якщо сумарний опір щодо входу відкритого каналу дорівнює R_0 , то навіть за відсутності затримок в ключах час установлення комутатора $t_{уст.к}$ з похибкою δ_K буде $t_{уст.к} = R_0 C_0 \ln(1/\delta_K)$.

Наприклад, при $\delta_K = 0,001$, $R_0 = 1$ кОм і $C_0 = 50$ пФ час $t_{уст.к} = 350$ нс.

Отже, якщо при включенні каналу комутатора сигнал на його вході зміниться, то після закінчення інтервалу $t_{уст.к}$ сигнал на виході комутатора повторюватиме вхідний сигнал з деяким запізнюванням. При подальшій обробці сигналу (наприклад, при аналого-цифровому перетворенні) це запізнювання необхідно враховувати.

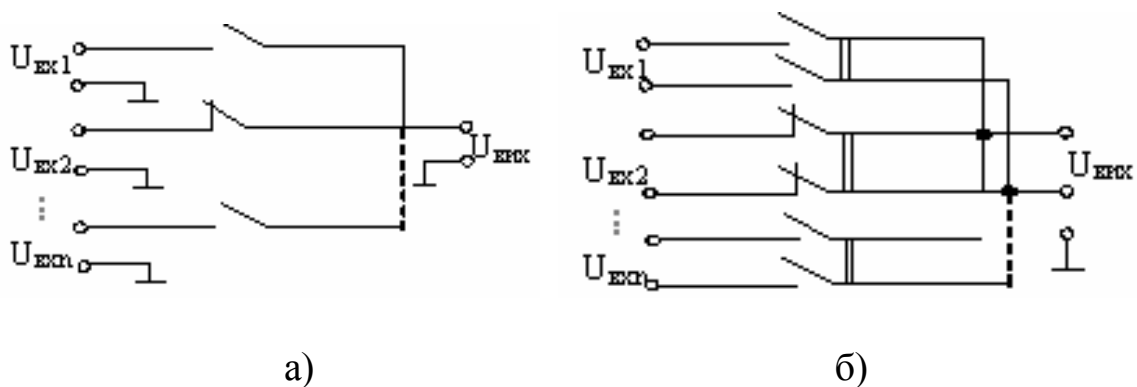


Рисунок 3.4 – Схеми аналогового мультиплексора з:
 а) однопровідними (або недиференціальними) входами;
 б) диференціальними входами

Основні способи підключення джерел вхідного сигналу до аналогового мультиплексора наступні:

1. Усі аналогові сигнали $U_{вх i}$ мають загальну точку («землю»), щодо якої відлічується вихідний сигнал мультиплексора (рис.3.4,а). Недоліком

цього способу є незахищеність від синфазної перешкоди.

2. Мультиплексор має диференціальні входи і, відповідно, два виходи (рис.3.4,б). Наступний за таким мультиплексором пристрій повинен також мати диференціальний вхід. Перевагою підсилювача з диференціальним входом є його властивість пригнічувати синфазну перешкоду. Тому в тих випадках, коли вимірювані сигнали невеликі, а вимоги до точності вимірювання достатньо високі, слід застосовувати диференціальні схеми.

Пристрій вибрання-збереження (ПВЗ) приймає вхідний рівень напруги в точно визначений момент часу і утримує цей рівень напруги на вході АЦП на час виконання одного перетворення. Робота пристроїв ПВЗ заснована на принципі збереження заряду на конденсаторі С (рис. 3.5).

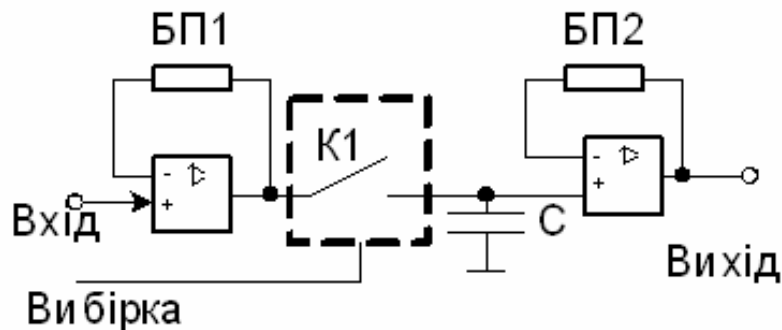


Рисунок 3.5 – Схема пристрою вибрання-збереження

У той час, коли аналоговий ключ К1 замкнений, напруга на конденсаторі С в точності слідкує за напругою на вході. У момент розмикання ключа стеження припиняється і напруга на конденсаторі С залишається постійною і відповідає моменту розмикання ключа. Підсилювач БП₁, що стоїть на вході, і підсилювач БП₂, що стоїть на виході, є буферними підсилювачами і включені за схемою повторювачів.

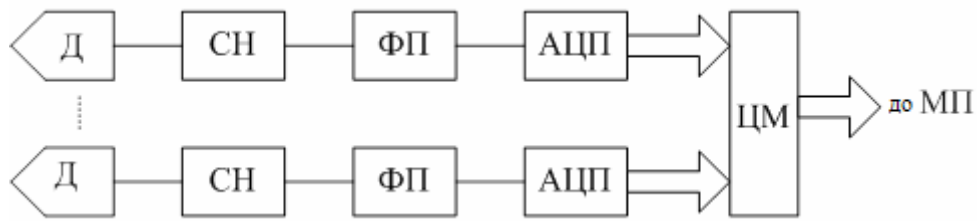
Вхідний підсилювач БП₁ запобігає шунтуванню конденсатора С, що запам'ятовує, вхідними ланцюгами в той час, коли ключ відкритий. Підсилювач БП₂, що стоїть на виході, має високий вхідний опір і тому істотно зменшує швидкість розряду конденсатора С, що запам'ятовує, при розімкненому ключі.

Найважливішими характеристиками пристрою вибрання-збереження є:

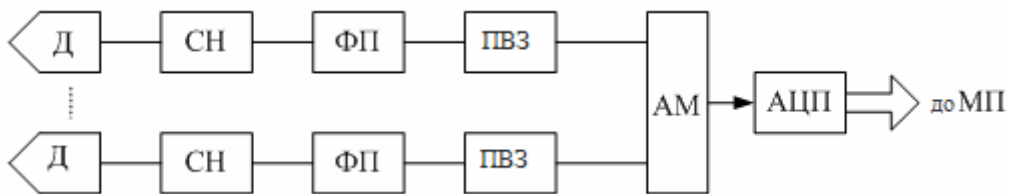
- *час вибрання* – час від моменту подачі сигналу на вибрання до моменту встановлення вихідного сигналу;
- *апертурний час* – інтервал часу між моментом подачі сигналу на збереження і моментом завершення аналого-цифрового перетворення;
- *швидкість руйнування інформації* – зміна вихідної напруги внаслідок розряду конденсатора, що запам'ятовує;

– *наскрізна передача* – частина вхідного сигналу внаслідок кінцевого опору розімкнутого ключа передається на вихід.

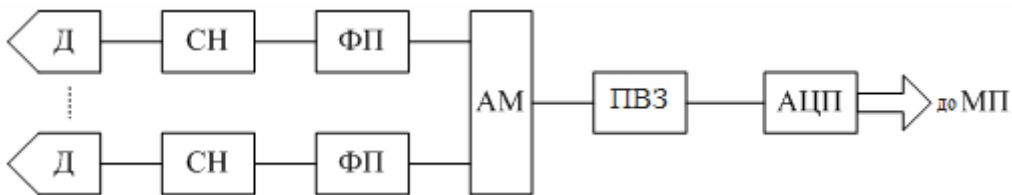
Варіанти структур підсистеми аналогового вводу (рис. 3.6).



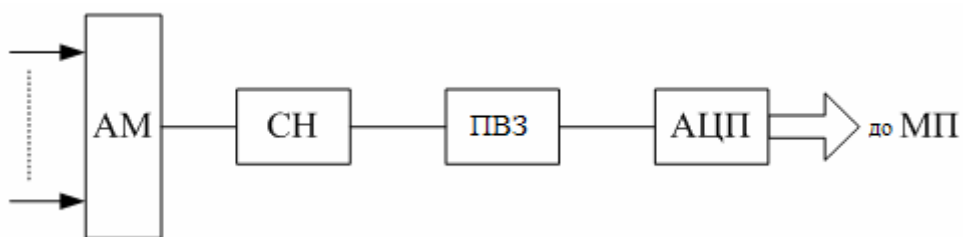
а – Багатоканальна схема аналогового вводу з ЦМ



б – Багатоканальна схема з аналоговим мультиплексором



в – Спрощена схема з аналоговим мультиплексором



г – Одноканальна схема введення аналогової інформації

Рисунок 3.6 – Спрощені структурні схеми варіантів підсистем аналогового вводу

(Д – датчик, СН – схема нормалізації, ФП – функціональний перетворювач, АЦП – аналого-цифровий перетворювач, ЦАП – цифро-аналоговий перетворювач, ЦМ – цифровий мультиплексор, АМ – аналоговий мультиплексор, ПВЗ – схема вибирання-збереження)

Типовий модуль аналогового вводу має в своєму складі мультиплексор аналогових сигналів на 16 або 32 входів. Входи можна використовувати або як однопровідні (для 16 або 32 джерел вхідних сигналів), або як диференціальні (для 8 або 16 джерел вхідних сигналів), є можливість вибору одного з двох діапазонів вхідних напруг: ± 1 або ± 10 В. Напряга на вході з допомогою АЦП порозрядного врівноваження перетворюється в 11-розрядний двійковий код (включаючи знаковий розряд). Час перетворення становить менше 100 мкс.

Спрощені структурні схеми варіантів підсистем аналогового вводу наведені на рис. 3.6.

Для забезпечення гальванічної розв'язки системи живлення мікроконтролера і вимірювальної частини модуля використовується ізольоване джерело живлення. Гальванічна розв'язка інтерфейсної частини модуля і його аналогової частини здійснюється за допомогою оптоелектронних ключів.

Характерною рисою всіх модулів є наявність засобів сполучення з мікропроцесором і можливість програмного вибору каналів.

3.2 Підсистема аналогового виводу

Підсистема аналогового виводу в чомусь схожа на підсистему аналогового вводу.

В мікропроцесорних системах контролю підсистема аналогового виводу використовується для подачі на об'єкт контролю сигналів управління або тестових випробувальних сигналів у вигляді напружень чи струмів, що змінюються в часі по необхідному закону. Вона може також використовуватися для виводу з ЕОМ результатів контролю у вигляді графіків і діаграм.

Перетворення цифрових вихідних даних в аналоговий сигнал виконується за допомогою ЦАП.

Можна виділити три дуже поширені конфігурації підсистеми аналогового виводу:

- з цифро-аналоговим перетворювачем (ЦАП) в кожному вихідному каналі;
- з одним ЦАП, що працює в режимі поділу часу, і з вихідним запам'ятовуючим підсилювачем в кожному вихідному каналі;
- комбіновану.

Перша конфігурація набула найбільшого поширення. Вона містить кілька ЦАП і пристрій управління, що забезпечує зв'язок підсистеми з процесором. Пристрій управління виконує також введення даних в кожен ЦАП. Під управлінням програми вибирається деякий ЦАП і дані вводяться в його регістр. Сигнал на виході ЦАП зберігається при цьому до тих пір,

поки програма не введе нові цифрові дані.

Розглянемо типову підсистему аналогового виводу, структурна схема якої приведена на рисунку 3.7.

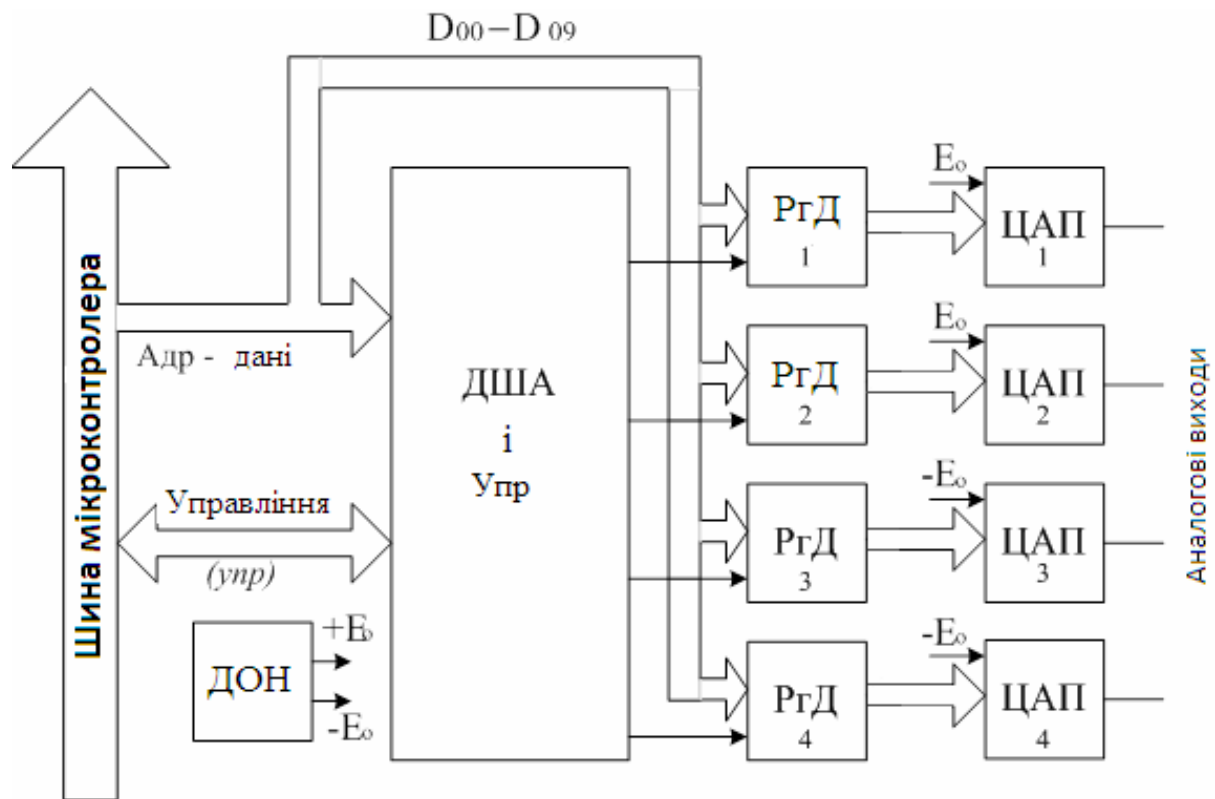


Рисунок 3.7 – Підсистема виводу аналогової інформації з ЦАП в кожному каналі

Модуль містить чотири паралельних канали, які призначені для перетворення цифрових даних, які видаються мікроконтролером, в постійну напругу.

Підсистема включає: дешифратор адреси і сигналів управління *ДША і Упр*; регістри даних *РГД1 - РГД4*; цифро-аналогові перетворювачі *ЦАП1 - ЦАП4*; джерела опорного напруги E_0 .

Код адреси A і сигнали управління *УПР* надходять з магістралі МК на дешифратор адреси і сигналів управління *ДША і Упр*, який виробляє один із сигналів звертання до обраного регістру. Код даних ($D_{00}-D_{09}$) надходить на інформаційні входи всіх регістрів $РГД_i$, проте запис відбудеться тільки в обраний регістр. З виходів регістра код надходить в *ЦАП*, де перетворюється в постійну напругу.

Цифрова та аналогова частини модуля гальванічно розв'язані за допомогою оптоелектронних ключів. Живлення аналогової частини модуля здійснюється від ізолюваного джерела напруги.

Джерело опорної напруги *ДОН* виробляє дві окремі напруги:

позитивну (+10,24 В) і негативну (-10,24 В). За вибором можна на будь-який з ЦАП подати відповідну опорну напруга і отримати на виході ЦАП напругу потрібної полярності.

Ця конфігурація зазвичай використовується там, де потрібні високі швидкодія і точність. Однак, якщо число каналів велике, така конфігурація може виявитися занадто дорогою через відносно високу вартість ЦАП.

Друга конфігурація підсистеми використовується для здешевлення пристрою.

В цьому випадку замість декількох паралельно працюючих ЦАП застосовується тільки один ЦАП, що працює в режимі поділу часу. Підсистема аналогового виводу з поділом часу в цьому випадку містить пристрій управління, один ЦАП і ряд вихідних схем аналогової пам'яті ПВЗ (рис.3.8).

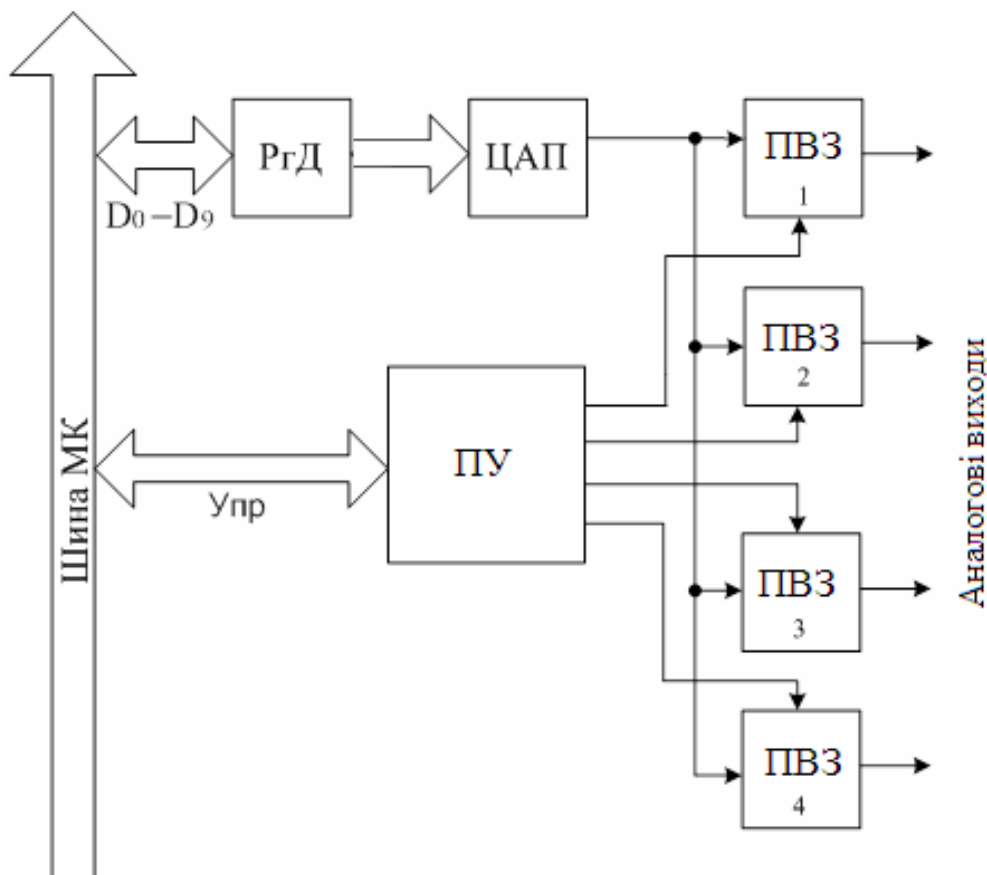


Рисунок 3.8 – Підсистема виводу аналогової інформації з одним ЦАП

При часовому поділі вихідна напруга ЦАП послідовно подається на ряд схем аналогової пам'яті – пристроїв вибрання-збереження ПВЗ. Коли на управляючий пристрій надходять дані від мікроконтролера, вихід ЦАП підключається до відповідної схемою аналогової пам'яті, вихідна величина якої залишається постійною доти, поки не відбудеться оновлення даних.

Оскільки сигнал, збережений в аналоговому ЗУ, трохи зменшується з часом, може знадобитися періодичне оновлення збереженого сигналу, навіть якщо нове значення ще не обчислено.

Часто використовують також третю, комбіновану конфігурацію підсистеми аналогового виводу, що представляє собою поєднання двох попередніх.

3.3 Підсистема цифрового (дискретного) вводу-виводу

Для систем управління характерні на вході та виході не тільки аналогові величини, але і величини, які є за своєю природою цифровими. До них, в першу чергу, відносяться величини, що характеризують стан об'єкта і які можуть бути представлені двома станами. Прикладами таких станів є, наприклад, стани: «Увімкнено» або «Вимкнено», «В межах» або «Поza межами», «Низький рівень» або «Високий рівень». Ці стани вводяться в комп'ютер при контролі та управлінні об'єктом.

Крім цифрових параметрів, що характеризують стан контрольованого об'єкту, існують вихідні цифрові параметри, які задають бажаний стан об'єкта. Наприклад, при контролі об'єкта часто виникає необхідність включення або виключення деяких виконавчих пристроїв або блоків і модулів об'єкта, а також подачі в контрольований об'єкт комбінації цифрових випробувальних сигналів.

Підсистема цифрового вводу призначена для введення дискретних сигналів з об'єкта в МПС. Основні функції цієї підсистеми полягають у введенні одиночних або підрахунку багаторазово повторюваних дискретних сигналів. Ці функції вимагають наявності лічильника для підрахунку і регістра пам'яті для тимчасового зберігання отриманих даних. Розрядність регістра або лічильника зазвичай дорівнює розрядності мікроконтролера – 16 або 8 біт.

Сигнали на вході, що представляють стан контрольованого об'єкту, зазвичай мають вигляд рівня напруги, струму або стану контакту («Замкнуто–розімкнуто»). Для сполучення цих сигналів з шиною мікроконтролера МК необхідно їх перетворити в стандартні рівні. Як правило, вхідні ланцюги МК управляються TTL-рівнями: стану «0» відповідає рівень напруги 0–0,4 В, а стану «1» – рівень напруги (2,5–5) В. В якості перетворюючих схем використовуються резистивні подільники напруги, діодні обмежувачі, компаратори, тригери Шмідта, схеми злагодження рівнів.

Підсистема цифрового виводу. Призначенням підсистеми цифрового виводу є вироблення цифрових сигналів управління і дій, які будуть використовуватися обладнанням технологічного процесу. Як і при цифровому вводі, ці події, як правило, є двійкові за своєю природою. Виходами підсистеми можуть служити сигнали струму або напруги, спрацьовування напівпровідникового ключа або замикання контакту

електромеханічного реле. Управління вихідним сигналом або впливом може здійснюватися або програмою, або логічними схемами підсистеми. Наприклад, підсистема може утримувати контакт в замкнутому стані протягом заданого інтервалу часу або замикає контакт задане число раз або виробляє на виході задане число імпульсів напруги.

Основна функція цифрового виводу – функція ключа. Зазвичай кожен двійковий розряд вихідних цифрових даних має самостійний сенс, тобто кожен біт вихідного слова може використовуватися для управління яким-небудь параметром об'єкта незалежно. Вибір типу ключа визначається значенням комутованої потужності і швидкістю перемикавання.

Електромеханічні реле використовуються в основному для управління сигналами середньої та великої потужності при низьких швидкостях перемикавання. Вони забезпечують повну гальванічну розв'язку ланцюгів. Однак більш надійними є напівпровідникові ключі.

Для комутації ланцюгів змінного струму середньої та великої потужності часто використовуються кремнієві керовані випрямлячі.

Практично досконалі характеристики перемикавання мають польові транзистори з V-структурою (VMOS). Їх відрізняє низький вхідний струм управління, висока частота перемикавання і значні струми на виході. Для гальванічної розв'язки напівпровідникових ключів використовуються оптоелектронні пари.

У ряді випадків у складі системи управління передбачається декілька типів ключів. Наприклад, для високошвидкісної комутації навантаження малої і середньої потужності використовуються напівпровідникові ключі. Релейні ключі використовуються для управління потужнішим навантаженням при меншій швидкості комутації. Окремі розряди цифрових даних, що виводяться, як вказувалося вище, можуть мати самостійне значення або групуватися в машинні слова.

На рис.3.9 приведена структурна схема підсистеми вводу-виводу дискретної інформації. При розгляді принципів роботи торкнемося лише функцій, виконуваних підсистемою при передачі даних від пристрою зв'язку з об'єктом в контролер і з контролера в пристрій зв'язку. В цьому випадку використовуються два адресованих регістри.

Для передачі даних з комп'ютера на об'єкт адреса регістра виводу P_2Viv і сигнали управління $Uпр$ подаються на дешифратор адреси і управління $ДША$ і $Uпр$. Цей дешифратор виробляє сигнал дозволу «Вивід». За цим сигналом відбувається запис даних (D_0-D_{15}) в P_2DViv (дані до цього моменту присутні на інформаційних входах регістру). З виходів регістра дані надходять на пристрій зв'язку з об'єктом ПЗО.

При введенні даних від об'єкта управління в мікроконтролер використовується адреса регістра вводу. При цьому виробляється сигнал дозволу «Введення», і код з ПЗО надходить в магістраль МК.

За допомогою розглянутого пристрою можна організувати видачу 16-32 сигналів управління в контрольований об'єкт, а також забезпечити прийом дискретних сигналів по 16-32 вхідним каналам.

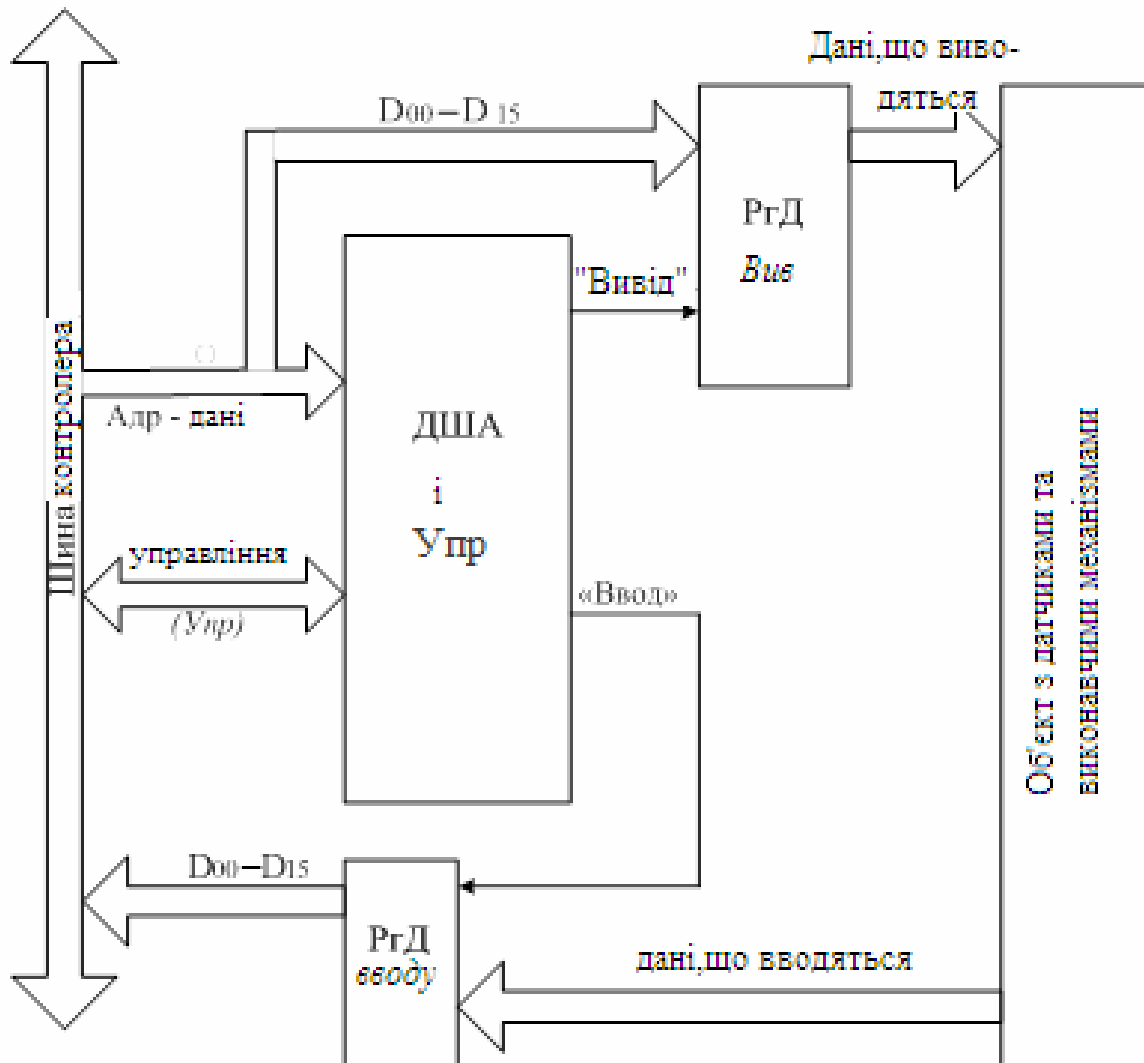


Рисунок 3.9 – Підсистема вводу-виводу дискретної інформації

Контрольні запитання

1. Призначення, структура і функціонування ПЗО.
2. Основні функції і устаткування підсистем аналогового введення.
3. Структура і функціонування підсистеми збору аналогових даних.
4. Укажіть вимоги до частоти квантування вхідного сигналу АЦП.
5. Особливості функціонування аналогових мультиплексорів.
6. Функціонування аналогового мультиплексора з однопровідними (недиференціальними) входами.
7. Функціонування аналогового мультиплексора з диференціальними

- входами.
8. Опишіть відомі Вам конфігурації підсистем аналогового введення.
 9. Структура і функціонування пристрою вибрання-збереження.
 10. Опишіть роботу АЦП порозрядного зрівноважування.
 11. Опишіть структуру типового модулю аналогового введення
 12. Опишіть роботу схеми ЦАП.
 13. Укажіть найважливіші характеристики ПВЗ і АЦП.
 14. Опишіть відомі Вам конфігурації підсистем аналогового виведення.
 15. Структура і функціонування типової підсистеми аналогового виведення.
 16. Призначення і основні функції підсистеми цифрового введення.
 17. Призначення і основні функції підсистеми цифрового виведення.
 18. Структура і функціонування модуля цифрового введення-виведення.

4 Проектування аналогових блоків і вузлів АСМНС на базі операційних підсилювачів

В даний час операційним підсилювачем (ОП) називають підсилювач напруги, що має в смузі частот від нуля до декількох десятків тисяч кГц коефіцієнт посилення (КП) декілька тисяч і вище, вхідний опір декілька тисяч Ом і вище, вихідний опір сотні і десятки Ом і нижче, що володіє низьким рівнем дрейфу, задовольняє умовам стійкості при введенні глибокого зворотного зв'язку.

Термін «операційний підсилювач» виник в аналоговій обчислювальній техніці, де подібні підсилювачі з відповідними зворотними зв'язками застосовувалися для моделювання різних математичних операцій. Проте вживання напівпровідникових ОП в інтегральному виконанні, що мають відносно низьку вартість і високі технічні показники, привело до того, що операційні підсилювачі стали найбільш широко вживаною універсальною аналоговою інтегральною схемою.

Принципові схеми інтегральних ОП, як правило, містять від одного до трьох каскадів підсилення напруги.

Перший каскад (рис. 4.1) зазвичай виконується за схемою диференційного підсилювача ДП з двома входами і двома виходами. З метою підвищення вхідного опору, а також зниження статичних і дрейфових похибок цей каскад працює в режимі мікроамперних струмів.

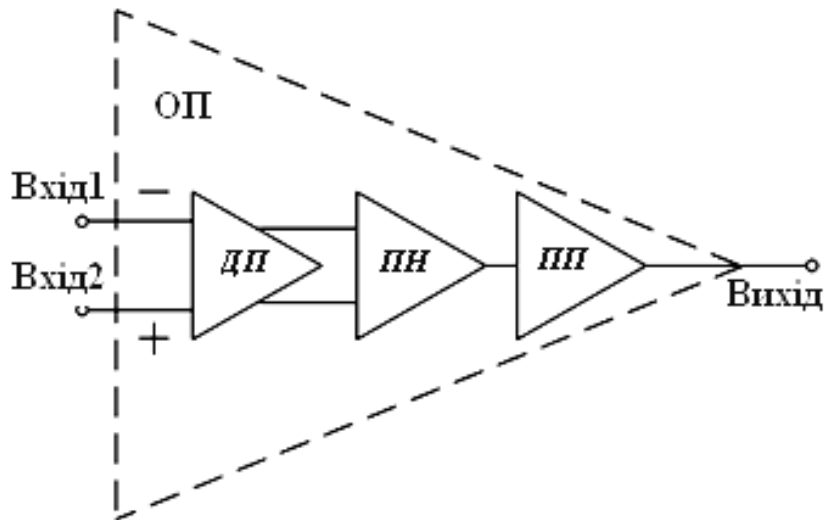


Рисунок 4.1 – Трьохкаскадний операційний підсилювач

Другий каскад – підсилювач напруги (ПН), також виконаний за схемою диференційного підсилювача, працює в режимі міліамперних струмів і володіє значним коефіцієнтом посилення. У ПН здійснюється також зміщення рівня підсилюваного сигналу з метою узгодження виходу цього каскаду з входом крайового підсилювача потужності (ПП).

У підсилювачі потужності ПП, який споживає основну частину струму всього підсилювача, остаточно формується амплітуда сигналу виходу. Загальний КП трьохкаскадного ОП може досягати 100 тис. і більше. Вхідні характеристики ОП практично повністю визначаються вхідними характеристиками диференційного підсилювача, а характеристики виходу – показниками підсилювача потужності. У інтегральних ОП застосовуються біполярні транзистори.

Удосконалення технологій, вживання нових інтегральних структур дозволило функції 1-го і 2-го каскадів поєднати в одному каскаді посилення напруги з підвищеним коефіцієнтом посилення (рис. 4.2). При цьому загальне посилення двохкаскадних ОП зберігається на колишньому рівні, проте з частотної характеристики виключається одна постійна часу, що покращує частотні властивості таких підсилювачів.

В ОП п'ять основних виводів: два для підключення живлення, два – для подачі вхідних сигналів і один – для зняття сигналу на виході. Інколи є два виходи, з яких можна зняти дві протифазні напруги. Але частіше – один. При побудові схем ОП застосовується безпосередній зв'язок.

Внутрішній устрій ОП досить складний. Ускладнення схем ОП у ряді випадків викликане не лише властивостями схеми, але і технологічними особливостями їх виробництва.

Для фахівців, що застосовують ОП, детально знати про його внутрішнє функціонування необов'язково, оскільки виконувані операції ОП визначаються зовнішніми елементами, що підключаються до нього.

Тому важливішою є інформація не про принципову схему ОП, а про його характеристики і параметри з тим, щоб здійснювати необхідні їх зміни за допомогою зворотних зв'язків.

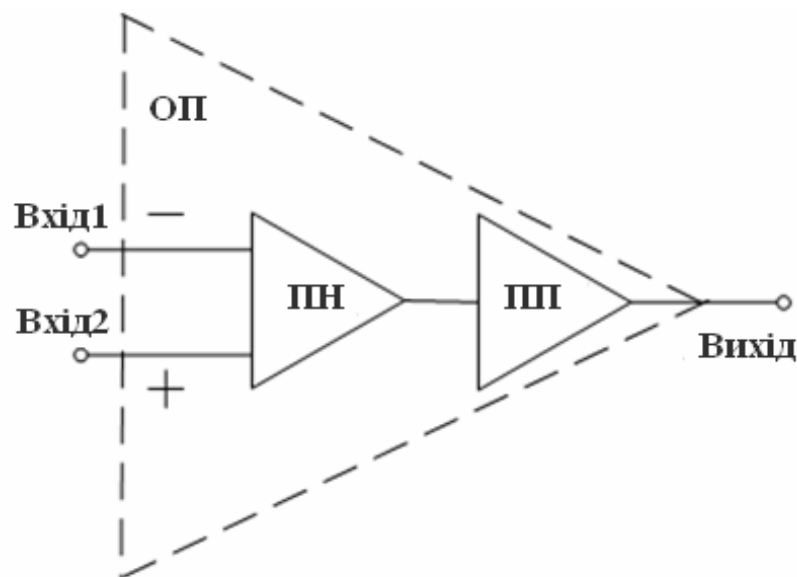


Рисунок 4.2 – Двохкаскадний операційний підсилювач

4.1 Параметри операційного підсилювача

Схема на рис.4.3 – це позначення ОП на принципових схемах. Джерело живлення схеми ОП підключається до виводів $+E_{ж}$ і $-E_{ж}$ для подачі позитивної і негативної напруги. Найчастіше джерело живлення використовує три входи (або виводи) – позитивний (+), негативний (-) і вивід заземлення. Звичайне живлення симетричне (наприклад $\pm 6V$, $\pm 12V$). Існують схеми ОП з так званим несиметричним живленням (наприклад $+12V$; $-6V$). Є також схеми з однополярним живленням (наприклад $+12V$ і «земля»).

Напруга виходу знімається з виводу на виході ОП відносно «землі». Тому зазвичай вважають, що ОП має «несиметричний вихід». Рівень напруги виходу обмежується величиною $E_{ж}$ і областю насичення вихідних транзисторів. Верхня межа $U_{вих}$ називається позитивною напругою насичення і позначаються $U_{нас+}$ а нижня межа – негативною напругою насичення і позначаються $U_{нас-}$.

З передатної характеристики ОП $U_{вих} = \varphi(U_{вх})$ видно, що як вхідна напруга, так і напруга на виході може симетрично змінюватися відносно нуля. При заземленому неінвертуючому вході сигнал на вихід підсилювача, як показано на рис. 4.4, передається з інвертуванням фази вхідного сигналу (перехідна характеристика 1). В разі заземлення інвертуючого входу фаза сигналу на виході в процесі посилення не змінюється (перехідна характеристика 2).

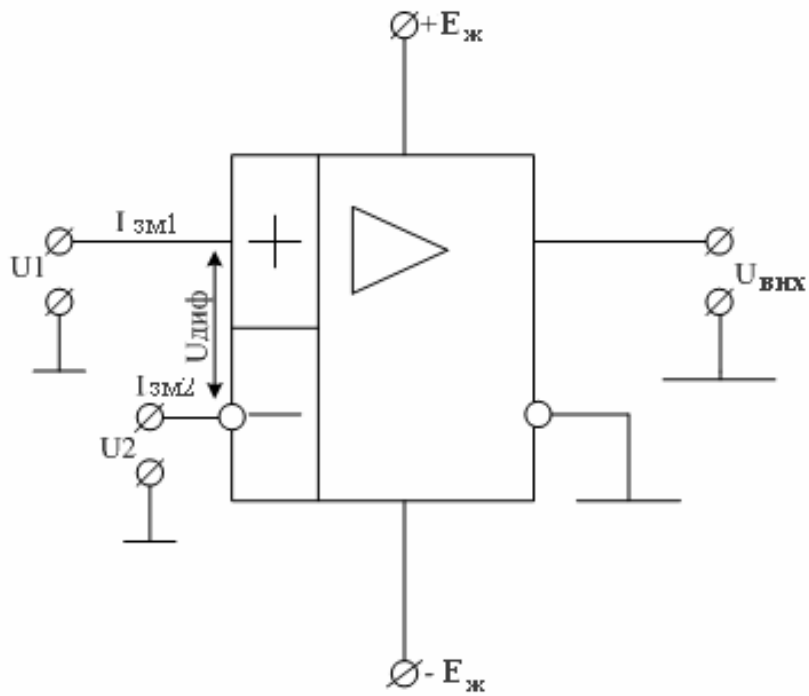


Рисунок 4.3 – Умовне позначення ОП

Струм виходу ОП також обмежений (зазвичай має порядок 5-10 мА). Межі струму і напруги вимірюються на практиці при мінімально доступному опорі навантаження ОП.

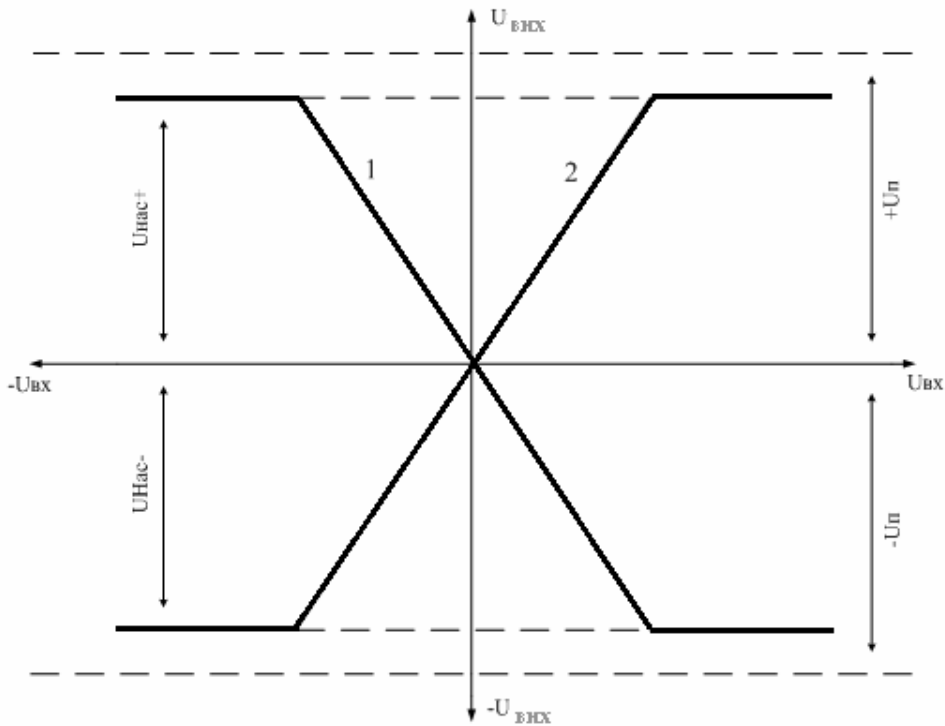


Рисунок 4.4 – Передатна характеристика ОП

Вхідні виводи є входами диференційного каскаду і тому називаються диференційними. Вивід (-) називається інвертуючим, вивід (+) – неінвертуючим.

Напруга на виході ідеального ОП лінійно залежить від різницевої вхідної напруги

$$U_{\partial} = U_1 - U_2, \quad (4.1)$$

званою диференційною вхідною напругою. Узявши відношення різниці сигналів на виході

$$(U_{\text{вих } 2} - U_{\text{вих } 1}) = U_{\text{вих}}, \quad (4.2)$$

до різниці сигналів на вході, отримаємо повний диференційний коефіцієнт посилення ОП:

$$K_{\partial} = (U_{\text{вих } 2} - U_{\text{вих } 1})/U_{\partial} = K_1 + K_2, \quad (4.3)$$

де

- K_1 і K_2 – коефіцієнти посилення сигналу по інвертуючому і неінвертуючому входах,
- $U_{\text{вих } 2}$ – напруга на виході, обумовлена неінвертуючим входом,
- $U_{\text{вих } 1}$ – напруга на виході, обумовлена інвертуючим входом.

Таким чином, $U_{\text{вих}} = K_{\partial} U_{\partial}$, де K_{∂} – повний диференційний коефіцієнт посилення ОП по напрузі, зазвичай має величину порядку $10^3 \dots 10^6$. Оскільки величина K_{∂} досить велика, а $U_{\text{вих}}$ обмежується рівнями насичення, то диференційна вхідна напруга U_{∂} на практиці дуже мала, практично вважається рівною нулю.

Наприклад, при $K_{\partial} = 200\,000$ і $U_{\text{нас } \pm} = \pm 13\text{В}$ величина $U_{\text{д}+} = 65\text{ мкВ}$ і $U_{\text{д}-} = -65\text{ мкВ}$.

У реальних ОП через вхідні затиски проходить невеликий постійний струм зміщення $I_{\text{зм } 1}$ і $I_{\text{зм } 2}$. Зазвичай $I_{\text{зм } 1} \neq I_{\text{зм } 2}$. У довідкових даних ОП приводяться значення середнього струму зміщення $I_{\text{зм}}$, який знаходять як напівсуму абсолютних значень струмів зміщення по кожному з входів.

$$I_{\text{зм}} = (I_{\text{зм } 1} + I_{\text{зм } 2}) / 2. \quad (4.4)$$

Зазвичай для ОП, вхідні каскади яких виконані на біполярних транзисторах, $I_{\text{зм}} < 10^{-6}\text{А}$, а для ОП з вхідними каскадами на польових транзисторах $I_{\text{зм}} \leq 10^{-12}\text{А}$.

Різниця між абсолютними значеннями $I_{\text{зм } 1}$ и $I_{\text{зм } 2}$ називається вхідним струмом здвигу $I_{\text{вх.зdv.}}$:

$$I_{\text{вх.зdv.}} = |I_{\text{зм } 1}| - |I_{\text{зм } 2}|. \quad (4.5)$$

Ця величина на практиці більш, ніж в 4 рази менша $I_{\text{зм}}$. Тому в

більшості випадків вважається, що струм, що протікає між інвертуючим і неінвертуючим входами, тобто $I_{\text{вх.зdv.}} \approx 0$.

Властивості підсилювача, зумовлені тим, що $U_{\delta} \approx 0$, $I_{\text{вх.зdv.}} \approx 0$ об'єднують так званим *принципом уявної землі*. Принципи уявної землі дуже широко застосовуються при аналізі та синтезі схем з ОУ.

Нижній рівень підсилюваних сигналів в реальному ОП обмежується величиною вхідної напруги здвигу $U_{\text{вх.зdv.}}$. Ця напруга обумовлена власними шумами усередині ОП, внаслідок чого при $U_{\delta}=0$ на виході існує напруга $\Delta U_{\text{вих}}$ від декількох мікрвольт до декількох мілівольт. Розділивши цю напругу $\Delta U_{\text{вих}}$ перешкоди на коефіцієнт посилення $K_{\text{д}}$ операційного підсилювача, можна отримати $U_{\text{вх.зdv.}}$, яке як би діє на вході ОП:

$$U_{\text{вх.зdv.}} = \frac{\Delta U_{\text{вих}}}{K_{\delta}} \quad \text{при } U_{\delta} = 0. \quad (4.6)$$

У реальному випадку вихідна напруга ОП залежатиме не лише від U_{δ} і K_{δ} , але і від так званої синфазної напруги перешкоди $U_{\text{синф.}}$, тобто перешкоди, яка одночасно діє на обидва входи, і коефіцієнта посилення $K_{\text{синф.}}$ цієї напруги

$$K_{\text{синф.}} = |K_1| - |K_2|, \quad (4.7)$$

де K_1 і K_2 – коефіцієнти посилення сигналу, поданого на інвертуючий та неінвертуючий входи ОП відповідно.

Показником якості, використовуваним для оцінки можливостей реального диференційного ОП, є коефіцієнт ослаблення синфазного сигналу

$$K_{\text{осс}} = \frac{K}{K_{\text{синф.}}} \quad (4.8)$$

Таким чином, вихідна напруга дорівнює

$$U_{\text{вих}} = K_{\delta} U_{\delta} + K_{\text{синф.}} U_{\text{синф.}} = K_{\delta} U_{\delta} \left(1 + \frac{1}{K_{\text{осс}}} \cdot \frac{U_{\text{синф.}}}{U_{\delta}} \right). \quad (4.9)$$

Величина

$$\frac{1}{K_{\text{осс}}} \cdot \frac{U_{\text{синф.}}}{U_{\delta}}, \quad (4.10)$$

носить назву *синфазної похибки*. Очевидно, чим більше $K_{\text{осс}}$, тим ближче диференційний ОП наближається до ідеального, коли $U_{\text{синф.}} = 0$.

Крім зазначених параметрів, якість ОП визначається й низкою інших.

Вхідний опір $R_{ВХ}$ – це відношення зміни вхідної напруги до зміни вхідного струму при заземленому другому вході. Вхідний опір ОП може досягати значень $10^3–10^6$ Ом, а у випадках виконання вхідного каскаду на польових транзисторах – ще вище.

Вхідний опір для синфазного сигналу $R_{сф}$ – визначається як відношення приросту синфазної напруги до приросту середнього струму зміщення ОП. Величина $R_{сф}$ зазвичай на 1...2 порядки, а інколи і більше, перевищує значення $R_{ВХ}$.

Споживаний струм I_c – струм, споживаний ланцюгами ОП за відсутності навантаження і при $U_{ВИХ} = 0$.

Вихідний опір $R_{ВИХ}$ визначається так само, як і для будь-якого іншого підсилювача і лежить зазвичай в межах від десятків до сотень Ом.

4.2 Операційний підсилювач з інвертуючим входом

Якщо вважати ОП ідеальним, то при роботі в лінійному режимі різниця потенціалів між його входами (диференційний вхідний сигнал) близька до нуля.

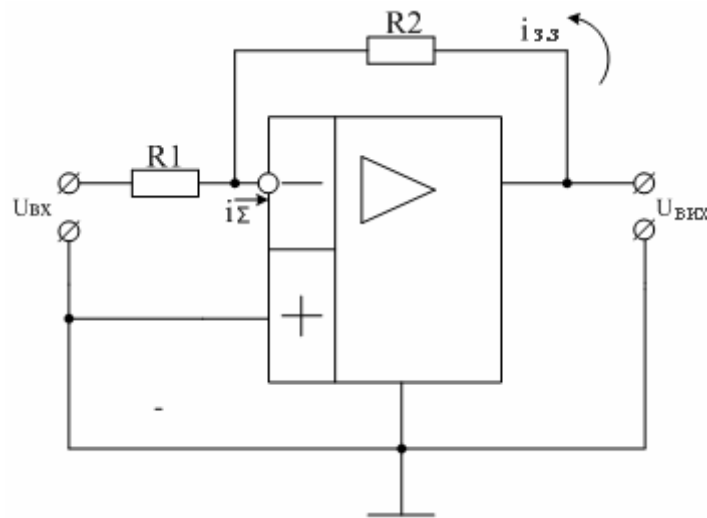


Рисунок 4.5 – Операційний підсилювач з інвертуючим входом

Видно, що прями́й вхід ОП сполучений із землею (рис. 4.5). Отже, і потенціал інвертуючого входу близький до потенціалу землі. Це явище, яке називається ефектом уявної землі, дозволяє використовувати інвертуючий вхід як струмовий вузол, що підсумовує. Це, у свою чергу, створює багаточисельні корисні схемні конфігурації підсилювачів і спрощує аналіз схем.

Оскільки $R_{ex} \approx \infty$, то

$$i_{\Sigma} = i_{ex} + i_{зз} = 0, \quad (4.11)$$

звідки

$$-i_{ex} \approx +i_{33} . \quad (4.12)$$

Напруга на вході і виході ОП дорівнює:

$$U_{ex} = i_{ex} R_1 \quad (4.13)$$

$$U_{вix} = U_{R_2} = +i_{33} R_2 = -i_{ex} R_2 \quad (4.14)$$

$$K_u = \frac{U_{вix}}{U_{ex}} = -\frac{R_2}{R_1} . \quad (4.15)$$

Видно, що

$$U_{вix} = -\frac{R_2}{R_1} U_{ex} , \quad (4.16)$$

тобто ОП можна використовувати як масштабуючий підсилювач.

Якщо вибрати $R_1 = R_2$, то $K_u = -1$, і ОП стає інвертуючим повторювачем напруги:

$$U_{вix} = -U_{ex} . \quad (4.17)$$

4.3 Операційний підсилювач з неінвертуючим входом

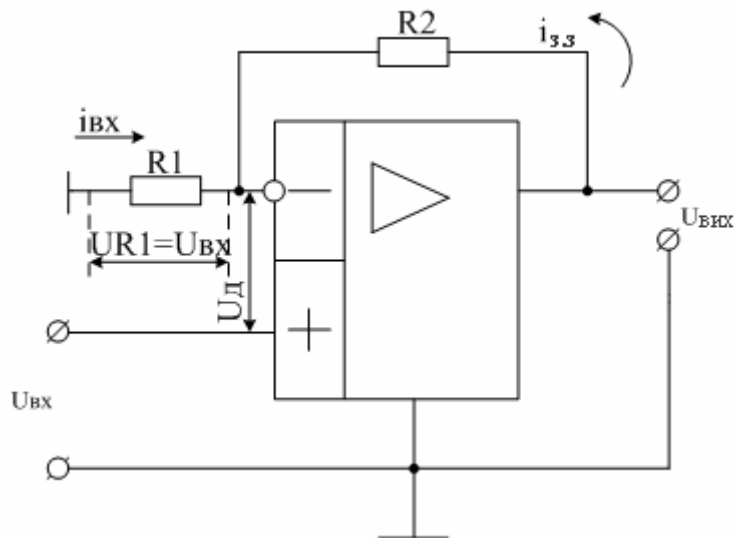


Рисунок 4.6 – Операційний підсилювач з неінвертуючим входом

Вхідний сигнал поступає на неінвертуючий вхід ОП. Інвертуючий вхід ОП заземлений через резистор R_1 . У схемі введений негативний послідовний зворотний зв'язок по напрузі через ділянку R_1 і R_2 . Завдяки негативному зворотному зв'язку диференціальна вихідна напруга прагне до нуля, внаслідок чого напруга U_{R_1} на резисторі R_1 буде дорівнювати $U_{вх}$, тобто

$$U_{\text{вх}} = U_{R_1} = i_{\text{вх}} R_1. \quad (4.18)$$

З рисунку 4.6 видно, що

$$U_{\text{внх}} = U_{\text{вх}} - U_{R_2} = U_{\text{вх}} - i_{R_2} R_2. \quad (4.19)$$

Так як

$$i_{\text{вх}} = -i_{R_2}, \quad (4.20)$$

то

$$U_{\text{внх}} = U_{\text{вх}} + i_{\text{вх}} R_2. \quad (4.21)$$

Розділимо обидві частини рівності на $U_{\text{вх}}$, отримаємо:

$$\frac{U_{\text{внх}}}{U_{\text{вх}}} = \frac{U_{\text{вх}}}{U_{\text{вх}}} + \frac{i_{\text{вх}} R_2}{U_{\text{вх}}}, \quad (4.22)$$

звідки

$$K = 1 + \frac{i_{\text{вх}} R_2}{i_{\text{вх}} R_1} = 1 + \frac{R_2}{R_1}. \quad (4.23)$$

У неінвертуючому підсилювачі $U_{\text{внх}}$ збігається по фазі з $U_{\text{вх}}$, а коефіцієнт посилення визначається лише параметрами ланцюга зворотного зв'язку.

Якщо взяти спеціальний випадок, коли $R_1 = \infty$, а $R_2 = 0$ (Рис.4.7), то виходить схема повторювача напруги. Тут коефіцієнт посилення дорівнює 1, а в ідеалі вхідний опір нескінченно великий, а вихідний дорівнює нулю.

Ця схема реалізує ті ж буферні функції, що і емітерний повторювач.

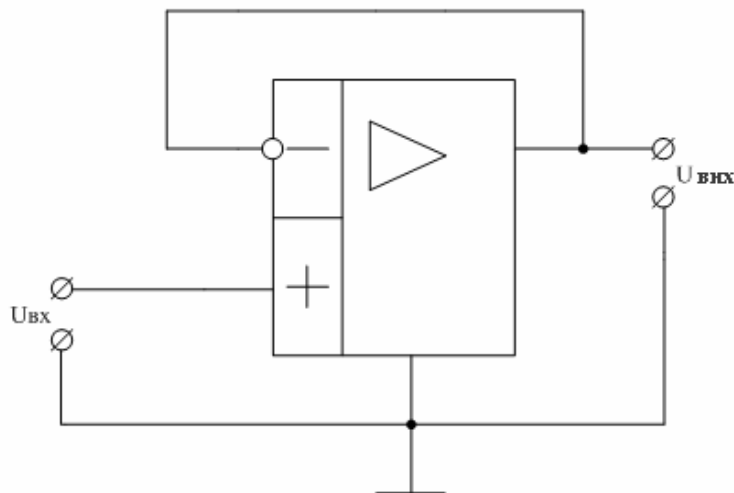


Рисунок 4.7 – Операційний підсилювач в режимі повторювача напруги

4.4 Операційний підсилювач в якості суматора аналогових сигналів

Якщо розширити вхідний ланцюг ОП включенням додаткових вхідних резисторів, то отримаємо схему (рис.4.8) суматора вхідних аналогових сигналів.

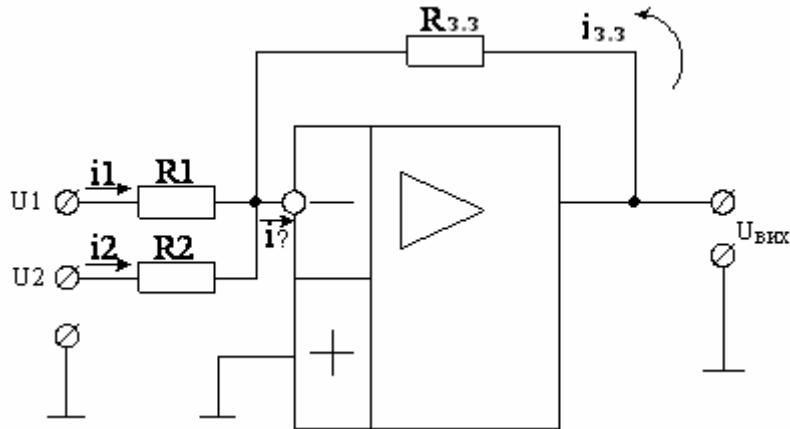


Рисунок 4.8 – Суматор вхідних сигналів

Згідно із законом Кірхгофа:

$$i_{3.3} + i_{ex} = i_1 + i_2 . \quad (4.24)$$

Можна вважати, що

$$i_{ex} \approx 0 , \quad (4.25)$$

тоді

$$\frac{e_{ex} - U_{вих}}{R_{oc}} = \frac{U_1 - e_{ex}}{R_1} + \frac{U_2 - e_{ex}}{R_2} . \quad (4.26)$$

Вважаючи, що

$$e_{ex} \approx 0 , \quad (4.27)$$

Отримаємо

$$\frac{-U_{вих}}{R_{3.3}} = \frac{U_1}{R_1} + \frac{U_2}{R_2} , \quad (4.28)$$

Звідки

$$U_{вих} = -\frac{R_{3.3}}{R_1} U_1 - \frac{R_{3.3}}{R_2} U_2 . \quad (4.29)$$

Позначивши

$$\frac{R_{зз}}{R_1} = \alpha_1; \quad \frac{R_{зз}}{R_2} = \alpha_2, \quad (4.30)$$

маємо:

$$U_{вих} = -(\alpha_1 U_1 + \alpha_2 U_2). \quad (4.31)$$

Складовий сигнал на виході дорівнює сумі всіх вхідних сигналів, де індивідуальні коефіцієнти підсилення визначається виразом

$$\alpha_i = \frac{R_{зз}}{R_i}, \quad (4.32)$$

де R_i – і-тий резистор, що підсумовує.

Цей метод можна розповсюдити на будь-яку необхідну кількість входів.

Всі входи повністю ізольовані один від одного. Тому легко реалізуються функції по об'єднанню декількох сигналів з довільними коефіцієнтами посилення.

Для мінімізації зміщення по постійному струму включається резистор між неінвертуючим входом і землею. Величина цього резистора $R_{комп.}$:

$$R_{комп.} = R_{зз} \parallel R_1 \parallel R_2 \parallel \dots \parallel R_i \quad (4.33)$$

Якщо зміщення не грає істотної ролі, то неінвертуючий вхід можна з'єднати безпосередньо з землею, без резистора, що компенсує.

У випадку дуже великих коефіцієнтів посилення можуть знадобитися неприйнятні на практиці величини резисторів.

Наприклад, для $K=1000$ при резисторі, що підсумовує, в 10 кОм, резистор зворотного зв'язку $R_{зз}$ має дорівнювати 10 МОм.

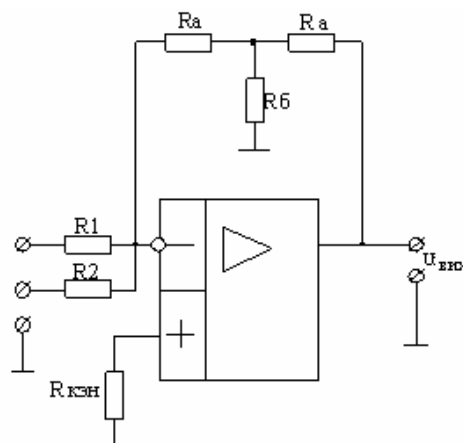


Рисунок 4.9 – ОП, що підсумовує, з Т-подібним зворотним зв'язком

У цій схемі підсилювача резистор зворотного зв'язку $R_{зз}$ замінений Т-подібним ланцюгом резисторів (рис.4.9). Якщо вибрати прийнятну величину резистора R_a , то резистор R_b можна обчислити за формулою:

$$R_b = \frac{R_a^2}{R_{зз} - 2R_a}. \quad (4.34)$$

Тепер значення резистора $R_{зз} = 10 \text{ Мом}$ можна замінити Т-подібним ланцюгом, тобто при вибраному для $R_a = 100 \text{ кОм}$, $R_b = 1020 \text{ Ом}$

4.5 Операційний підсилювач в якості інтегратора

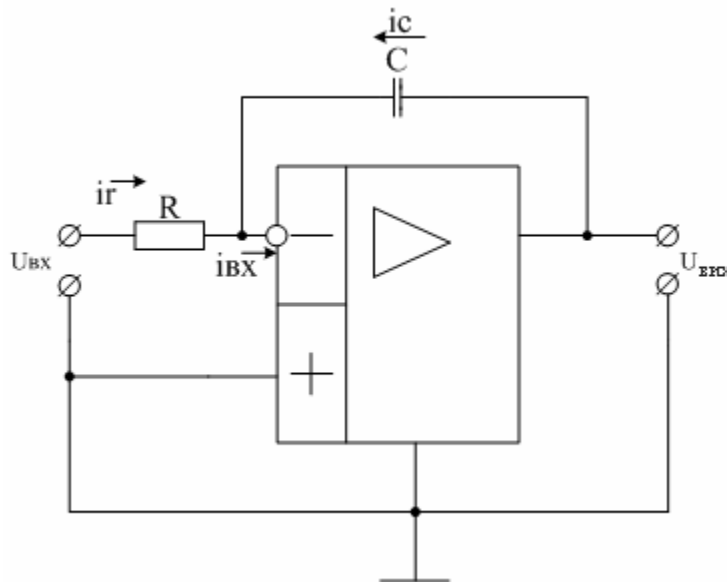


Рисунок 4.10 – Інтегруючий операційний підсилювач

Якщо ОП ідеальний, тобто $K = \infty$, $R_{вх} \rightarrow \infty$, $R_{вих} \rightarrow 0$, то

$$e_{вх} = (U_{вх1} - U_{вх2}) = 0, \quad (4.35)$$

тобто потенціал інвертуючого входу ОП приблизно дорівнює потенціалу неінвертуючого входу, рівного нулю.

Відомо, що $Q = cU_c$, тоді

$$i_c = \frac{dQ}{dt} = c \frac{d(U_{вих} - e_{вх})}{dt} \quad (4.36)$$

Можна записати (рис. 4.11):

$$i_R = -i_c, \quad i_R = \frac{U_{\text{ВХ}} - e_{\text{ВХ}}}{R} \quad (4.37)$$

Виразимо струми через напругу:

$$\frac{U_{\text{ВХ}} - e_{\text{ВХ}}}{R} = -c \frac{d(U_{\text{ВЫХ}} - e_{\text{ВХ}})}{dt} \quad (4.38)$$

Оскільки $e_{\text{ВХ}} \approx 0$, маємо:

$$\frac{U_{\text{ВХ}}(t)}{R} = -c \frac{dU_{\text{ВЫХ}}(t)}{dt} \quad (4.39)$$

$$\frac{dU_{\text{ВЫХ}}(t)}{dt} = -\frac{1}{RC} U_{\text{ВХ}}(t) \quad (4.40)$$

$$U_{\text{ВЫХ}}(t) = -\frac{1}{RC} \int_0^t U_{\text{ВХ}}(t) dt + U_0 \quad (4.41)$$

де $\tau=RC$ – постійна інтегрування; U_0 – початкові умови
Для $U_{\text{ВЫХ}}(t)$ можна отримати інший вираз, записавши:

$$Q = cU_c \quad (4.42)$$

$$Q = i_c T \quad (4.43)$$

тому

$$i_c T = cU_c \quad (4.44)$$

$$i_c = -i_R = -\frac{U_{\text{ВХ}}}{R} \quad (4.45)$$

$$U_c = U_{\text{ВЫХ}}(t) \quad (4.46)$$

Підставивши (4) і (5) в (3), отримаємо

$$-\frac{U_{\text{ВХ}}}{R} T = cU_{\text{ВЫХ}}(t), \quad (4.47)$$

Звідки маємо

$$U_{\text{ВЫХ}}(t) = -\frac{U_{\text{ВХ}} T}{RC} \quad (4.48)$$

Проінтегруємо послідовність прямокутних імпульсів (рис. 4.11). За першу половину циклу вихідний сигнал спадає на величину, визначену виразом (6). За другу половину циклу вихідний сигнал зростає на ту ж величину із за симетрії вхідного сигналу. Цей процес періодично

повторюється.

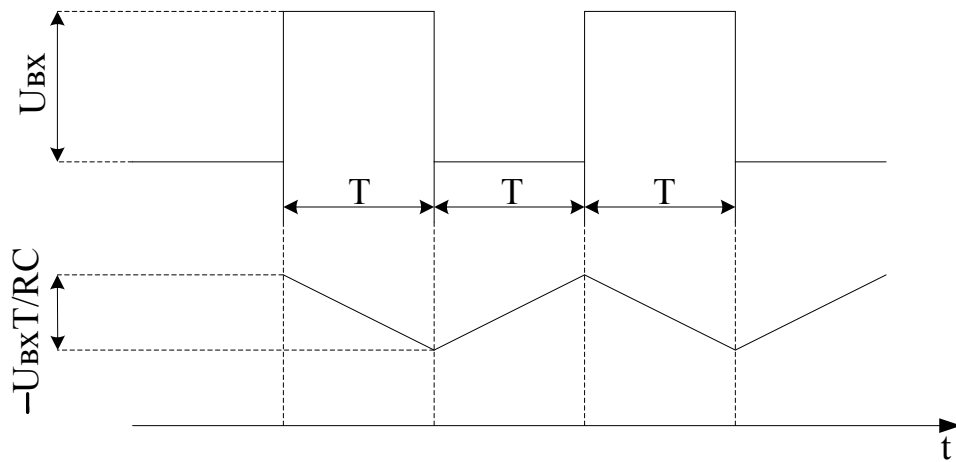


Рисунок 4.11 – Інтегрування послідовності прямокутних імпульсів

У реальному інтеграторі постійне зміщення на вході інтегратора призведе до безперервного наростання сигналу в одному напрямку аж до насичення. Для забезпечення стабілізації по постійній напрузі в схему включається паралельно ємкості C , додатковий резистор R_2 (рис. 4.12). Посилення для сигналів низьких частот, у тому числі і для постійного струму, тепер обмежено величиною R_2/R_1 . Для того, щоб зберегти властивість інтегрування на заданих частотах, мінімальне значення R_2 обчислюється за формулою:

$$R_2 \geq 1/(2\pi f_n c). \quad (4.49)$$

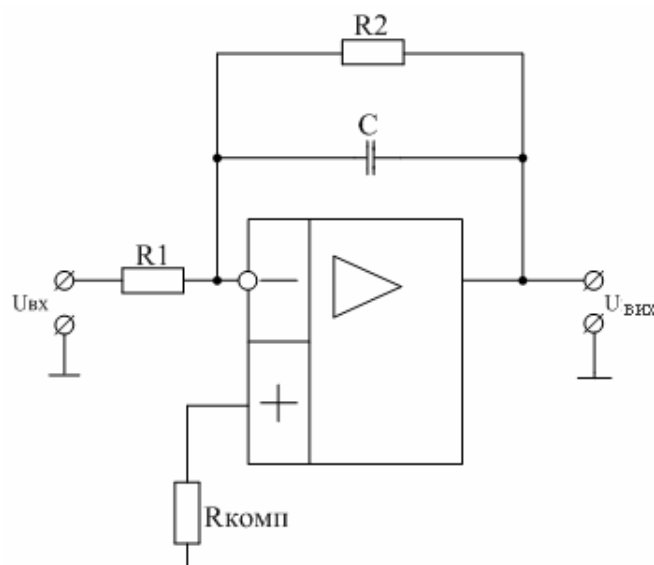


Рисунок 4.12 – Реальний інтегратор

У виразі (7) f_H – нижча робоча частота. В ідеальному випадку значення R_2 повинно бути, щонайменше, в 10 разів більше, ніж визначене за формулою (7). Резистор $R_{\text{комп.}}$ мінімізує постійне зміщення на вході і дорівнює:

$$R_{\text{комп.}} = R_1 \parallel R_2. \quad (4.50)$$

Приклад розрахунку інтегратора:

Хай частота f прямокутних імпульсів дорівнює 1кГц, їх амплітуда – 10В; ємність конденсатора інтегратора $C=1\text{мкФ}$.

Потрібно отримати трикутну напругу розмахом 5В.

Визначимо R_1 :

$$R_1 = \frac{U_{\text{вх}} \cdot T}{U_{\text{вих}} \cdot C} = \frac{10 \cdot 0,5 \cdot 10^{-3}}{5 \cdot 10^{-6}} = 10^3 \text{ Ом} \quad (4.51)$$

(Значення T відповідає половині періоду частоти 1000Гц)

Стабілізуючий резистор R_2 :

$$R_2 \geq \frac{1}{2\pi f_H C} \geq \frac{1}{6,28 \cdot 10^3 \cdot 10^{-6}} \geq 1590 \text{ Ом} \quad (4.52)$$

Візьмемо $R_2=10\text{кОм}$, тоді $R_{\text{комп.}} = 9100\text{ Ом}$

4.6 Диференційний операційний підсилювач

Диференційний пристрій реалізує функцію, зворотну інтегруванню. В той час, як $U_{\text{вих}}$ інтегратора – це інтеграл від $U_{\text{вх}}$, що диференційний пристрій виконує математичну операцію диференціювання над вхідним сигналом.

На рисунку 4.13 представлений ідеальний диференціатор. Коли

$$e_{\text{вх}} \approx 0, \quad (4.53)$$

то

$$i_C = -i_R, \quad (4.54)$$

$$i_C = C \frac{dU_{\text{вх}}}{dt}, \quad (4.55)$$

$$i_R = \frac{U_{\text{вих}}}{R}, \quad (4.56)$$

$$C \frac{dU_{\text{ВХ}}}{dt} = -\frac{U_{\text{ВІХ}}}{R}, \quad (4.57)$$

тоді вхідна напруга дорівнює:

$$U_{\text{ВІХ}} = -RC \frac{dU_{\text{ВХ}}}{dt}. \quad (4.58)$$

Якщо $U_{\text{ВХ}}$ змінюється лінійно в певному діапазоні, то можна записати:

$$U_{\text{ВІХ}} = -RC \left(\frac{\Delta U_{\text{ВХ}}}{\Delta t} \right). \quad (4.59)$$

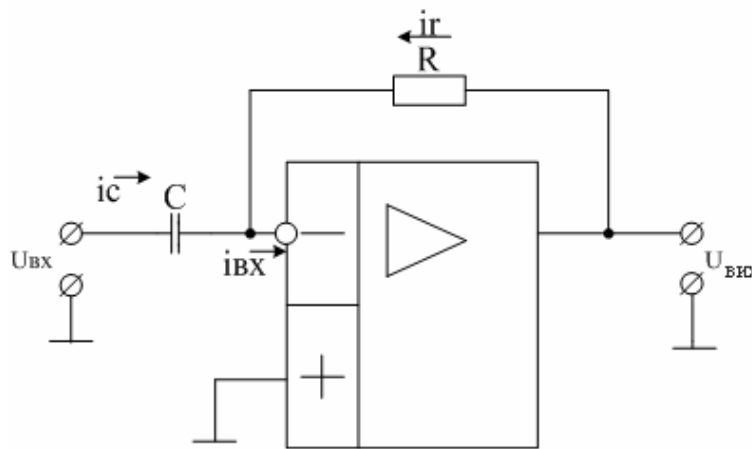


Рисунок 4.13 – Диференційний ОП

Якщо на вхід цієї схеми подати трикутну напругу (рис. 4.14), то на виході отримуємо прямокутні імпульси:

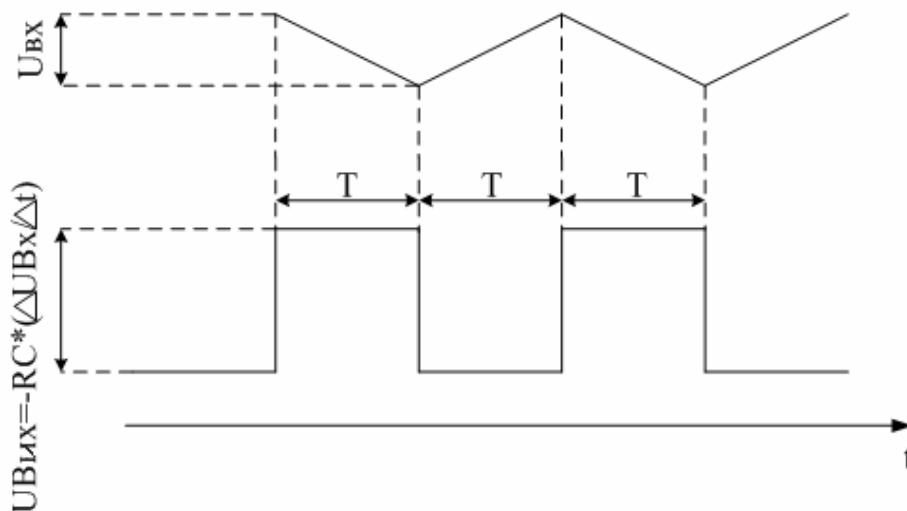


Рисунок 4.14 – Диференціювання трикутної напруги

Контрольні запитання

1. Надайте визначення операційному підсилювачу.
2. Укажіть, де використовуються операційні підсилювачі.
3. Назвіть призначення основних виводів мікросхеми ОП.
4. Чим відрізняється симетричне живлення операційного підсилювача від несиметричного живлення?
5. Що таке «однополярне живлення» операційного підсилювача?
6. Опишіть роботу ОП з допомогою передатної характеристики.
7. Наведіть залежність для диференційної вхідної напруги ОП.
8. Надайте залежність повного диференційного коефіцієнту посилення для операційного підсилювача.
9. Що таке «струм зміщення» операційного підсилювача?
10. Що таке «струм здвигу» операційного підсилювача?
11. Поясніть принцип «уявної землі» операційного підсилювача.
12. У яких межах знаходяться значення вхідного і вихідного опорів операційного підсилювача?
13. Як вираховується коефіцієнт підсилювання інвертуючого ОП?
14. Як залежить коефіцієнт підсилювання від параметрів неінвертуючого операційного підсилювача?
15. Операційний підсилювач в режимі повторювача напруги.
16. Операційний підсилювач в якості суматора аналогових сигналів.
17. Особливості побудови операційних підсилювачів з дуже великим коефіцієнтом підсилення.
18. Операційний підсилювач в якості інтегратора.
19. Диференційний операційний підсилювач.

5 Принципи проектування та побудови інтегральних цифро-аналогових і аналого-цифрових перетворювачів

Коли цифрова обчислювальна техніка стала застосовуватися в автоматичних системах управління та обробки інформації, значно збільшилася потреба в пристроях, що здійснюють зв'язок між ЕОМ та іншими частинами системи.

Ці пристрої називаються аналого-цифровими (АЦП) і цифро-аналоговими (ЦАП) перетворювачами.

У природному стані всі змінні (такі як струм, напруга, тиск, лінійні розміри, температура і т. д.) представляються в аналоговій формі. Проте в процесі обчислення і передачі сигналів вони часто представляються в цифровій формі.

Тому АЦП і ЦАП можна розглядати як специфічні кодуючі і декодуючі пристрої.

Представимо перетворювачі цих двох типів в загальному вигляді:

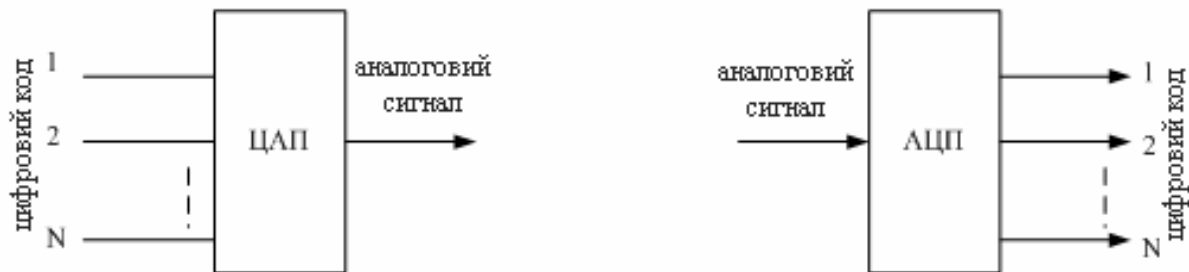


Рисунок 5.1 – Представлення в загальному вигляді цифро-аналогового (ЦАП) і аналого-цифрового (АЦП) перетворювачів

Вхідним сигналом ЦАП є цифровий код, що містить певну кількість двійкових розрядів, а в якості сигналу на виході маємо аналоговий сигнал – напругу, величина якої однозначно відповідає вхідному слову (у конкретних випадках – кут повороту валу, лінійне переміщення і т. д., але у більшості випадків ці величини виходять шляхом подальшого перетворення з електричних величин).

Навпаки, аналоговий сигнал, поданий на вхід АЦП, викликає появу на його виході цифрового коду, що має певну кількість двійкових розрядів. Більшість АЦП включають в свій склад ЦАП.

У пристроях узгодження цифрових і аналогових систем часто потрібно забезпечити дуже точне узгодження елементів та відповідність їх характеристик і параметрів.

Особливо жорсткі вимоги в цьому сенсі пред'являються до елементів ЦАП, оскільки точність аналогового сигналу на виході повинна забезпечуватися в широкому діапазоні температур.

5.1 Цифро-аналогові перетворювачі

5.1.1 Принципи цифро-аналогового перетворення

Цифро-аналоговий перетворювач можна розглядати як декодуючий пристрій, в результаті дії на вхід якого цифрового сигналу D і еталонного сигналу P на виході формується аналоговий сигнал A , пов'язаний з вхідними сигналами співвідношенням:

$$A=PD. \quad (5.1)$$

Сигнал D являє собою цифровий код, який містить певну кількість

двійкових розрядів. Він може бути представлений у вигляді:

$$D = \frac{b_1}{2^1} + \frac{b_2}{2^2} + \frac{b_3}{2^3} + \dots + \frac{b_N}{2^N}, \quad (5.2)$$

де N – кількість двійкових розрядів;

$b_1, b_2, b_3, \dots, b_N$ – коефіцієнти відповідних двійкових розрядів, які можуть приймати дискретні значення «0» або «1».

Таким чином, узагальнена передатна функція ЦАП через еталонний сигнал довільної величини P і аналоговий сигнал на виході A може бути виражена таким чином:

$$A = P \left(\frac{b_1}{2^1} + \frac{b_2}{2^2} + \frac{b_3}{2^3} + \dots + \frac{b_N}{2^N} \right) \quad (5.3)$$

Практична схема ЦАП зазвичай містить 4 окремих вузли:

- джерело еталонного сигналу (зазвичай напруги), відповідного параметру P у виразі (3);
- набір двохпозиційних ключів, що реалізують коефіцієнти двійкових розрядів b_1, b_2, \dots, b_N ;
- резистивний токозадаючий ланцюг;
- суматор розрядних струмів.

Зобразимо схему ЦАП (рис. 5.2), що містить всі чотири основні вузли:

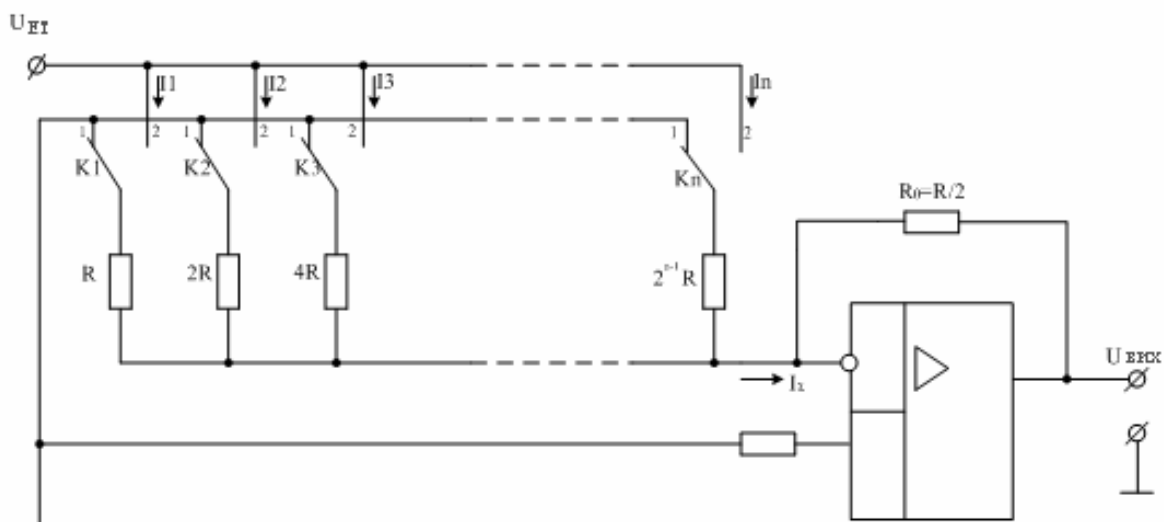


Рисунок 5.2 – Схема цифро-аналогового перетворювача

У схемі відносні ваги розрядних струмів I_1, I_2, \dots, I_N задаються за допомогою матриці вагових резисторів, величини опорів яких подвоюються при переході від старшого розряду до молодшого. Інвертуючий операційний підсилювач з великим вхідним опором і з

великим коефіцієнтом посилення використовується для підсумовування окремих розрядних струмів і для формування відповідної аналогової напруги. Можна показати, що сумарний аналоговий струм I_0 , що підтікає до точки підсумовування, тобто, до інвертуючого входу операційного підсилювача, пов'язаний з еталонною напругою U_{ET} таким співвідношенням:

$$I_0 = \frac{2U_{ET}}{R} (b_1 \cdot 2^{-1} + b_2 \cdot 2^{-2} + \dots + b_N \cdot 2^{-N}), \quad (5.4)$$

де b_1, b_2, \dots, b_N – двійкові коефіцієнти, які приймають значення «1» або «0» залежно від того, в якому положенні знаходяться відповідні ключі K_j , зображені на рисунку 5.2.

Напруга на виході $U_{вих}$ пропорційні струму I_0 :

$$U_{вих} = -I_0 R_{oc} = -U_{ET} (b_1 \cdot 2^{-1} + b_2 \cdot 2^{-2} + \dots + b_N \cdot 2^{-N}), \quad (5.5)$$

де R_0 – опір зворотного зв'язку операційного підсилювача, який визначає коефіцієнт масштабування; для зручності прийнято $R_0 = R/2$.

Як впливає з виразу (5), при заданій кількості двійкових розрядів N напруга на виході може приймати 2^N дискретних значень в діапазоні від нуля до максимальної величини

$$(U_{вих})_{max} = U_{ET} \left(\frac{2^N - 1}{2^N} \right) \quad (5.6)$$

з мінімальним кроком

$$\Delta U_{вих min} = \frac{U_{ET}}{2^N}. \quad (5.7)$$

Значення розрядних коефіцієнтів визначаються положенням відповідних ключів, показаних на рисунку 5.2.

Праве положення ключа визначає стан 1, а ліве – стан 0 відповідного біта. Якщо молодший біт цифрового коду дорівнює одиниці (вхідний код 0001, див. знизу), то на виході ЦАП з'являється напруга ΔU , що відповідає елементарному кванту (див. рис. 5.3). Одиниця в другому біті цифрового коду (код 0010) викликає появу напруги $2\Delta U$, одиниця в третьому біті (код 0100) – напруга $4\Delta U$, одиниця в четвертому біті (код 1000) – напруга $8\Delta U$, тобто напруга на виході пропорційна цілій степені двійки.

В загальному випадку для n -розрядного ЦАП число можливих ступенів напруги дорівнює 2^n (включаючи і нульову напругу). На рис. 5.3 показаний графік вихідної напруги для чотирьохрозрядного ЦАП.

У схемі можуть застосовуватись ключі, що комутують струми

(струмові ключі) або ключі, що комутують напругу (ключі напруги), причому стан ключів визначається вхідним цифровим сигналом.

На рис. 5.2 використовуються ключі напруги.

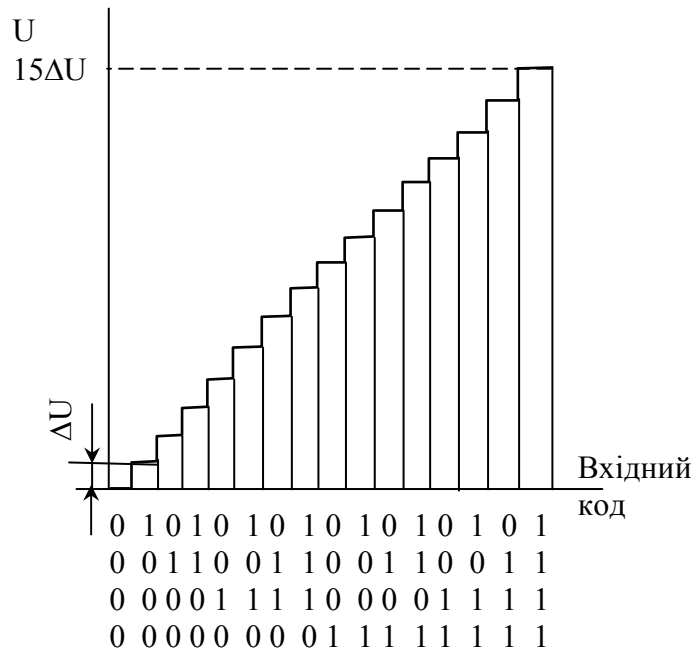


Рисунок 5.3 – Графік напруги на виході ЦАП

При цьому напруга на вагових опорах змінюється від 0, коли вони з'єднуються із землею, до $U_{\text{ет}}$, коли вони вмикаються до джерела еталонної напруги.

На рис. 5.4 наведена схема ЦАП, в якій застосований інший ланцюг комутації, при якій один вивід кожного з вагових опорів постійно увімкнений до джерела еталонної напруги.

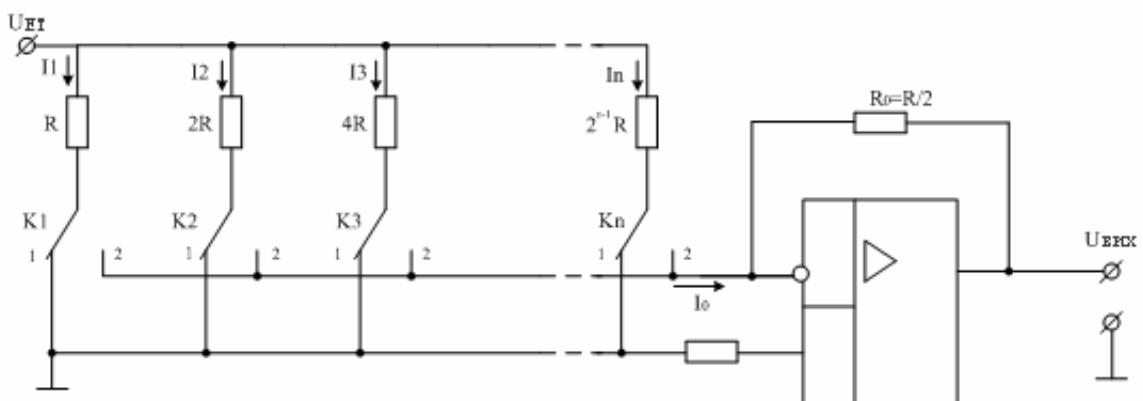


Рисунок 5.4 – Схема цифрово-аналогового перетворювача із струмовою комутацією

Інший вивід з'єднується з фактичною землею, або з квазіземляною точкою, що є входом операційного підсилювача. Такий спосіб комутації називається «струмовою комутацією».

У більшості випадків, а в інтегральних схемах особливо, застосовується струмова комутація, оскільки вона дозволяє забезпечити більшу швидкодію, ніж комутація напруги. Між елементами, їх виводами і провідниками є паразитні ємності, тому стрибкоподібна зміна напруги в якій-небудь точці, що виникає в результаті комутації напруги, викликає виникнення перехідних процесів, які повинні закінчитися перш, ніж схема виявиться в сталому стані.

При струмовій комутації, навпаки, напруга в усіх точках залишається незмінною. Це дозволяє зменшити тривалість комутаційних перехідних процесів і відповідний час встановлення.

5.1.2 Терміни та визначення

Роздільна здатність. Характеризує можливу кількість рівнів аналогового сигналу. Зазвичай виражається у вигляді загальної кількості двійкових розрядів вхідного цифрового сигналу перетворювача. При роздільній здатності в N двійкових розрядів перетворювач повинен забезпечувати формування аналогового сигналу на виході, що має $2N$ дискретних рівнів.

Похибка (точність). Являє собою величину відхилення аналогового сигналу на виході від розрахункового значення. Похибка може бути виражена у відсотках від повного діапазону зміни вихідного сигналу $U_{\text{дп}}$, у вигляді кількості двійкових розрядів з гарантованою точністю або у вигляді частини (зазвичай половини) найменшого значення розряду (НМЗР).

Якщо гарантується точність N двійкових розрядів ЦАП, то максимальна можлива похибка ΔU може бути визначена таким чином :

$$\Delta U \leq U_{\text{дп}} \cdot 2^{-N}. \quad (5.8)$$

Аналогічно для ЦАП, що має N двійкових розрядів і похибку в $1/2$ НМЗР, фактична похибка ΔU повинна задовольняти наступну нерівність:

$$\Delta U \leq U_{\text{дп}} \left(\frac{1}{2}\right) \left(\frac{1}{2^N}\right) = U_{\text{дп}} \left(\frac{1}{2^{N+1}}\right). \quad (5.9)$$

Необхідно відзначити, що роздільна здатність і похибка не одне і те ж. Наприклад, при роздільній здатності в 12 двійкових розрядів може бути забезпечена точність в 10 двійкових розрядів, і навпаки.

Час встановлення. Являє собою інтервал часу від моменту

стрибкоподібної зміни вхідного цифрового сигналу до моменту, коли аналоговий сигнал на виході досягає нового встановленого значення з номінальною похибкою (зазвичай $\pm \frac{1}{2}$ НМЗР). Час встановлення характеризує швидкодію ЦАП.

Найбільший значущий розряд (НБЗР). Є розрядом вхідного цифрового сигналу, що має найбільшу вагу, або є приростом рівня аналогового сигналу, відповідним цьому розряду. У ЦАП з двійковими розрядами НБЗР викликає зміну величини аналогового сигналу на виході на половину його діапазону ($U_{\text{ДП}}/2$).

Найменший значущий розряд (НМЗР). Це розряд вхідного цифрового сигналу, що має найменшу вагу, або приріст аналогового сигналу, відповідний цьому розряду. НМЗР є найменшим можливим стрибкоподібним приростом аналогового сигналу, і дорівнює $U_{\text{ДП}}/2^N$ (див. (7)).

Для опису властивостей ЦАП інколи використовуються два допоміжні терміни: «лінійність» і «монотонність». Вони графічно показані на рис. 5.5.

Якщо на цифровий вхід ЦАП подається наростаюча послідовність двійкових чисел, сигналом ЦАП на виході має бути лінійно зростаюча ступінчаста напруга з кроком, рівним НМЗР. Постійність сходинок цієї напруги (постійність ширини і висоти) обумовлює лінійність сигналу на виході.

Величина нелінійності вихідного сигналу зазвичай виражається в тих же одиницях, що і похибка.

Немонотонність вихідного сигналу є найгіршим різновидом нелінійності. Немонотонність має місце в тому випадку, коли сигнал на виході змінюється немонотонно при зміні вхідного цифрового сигналу. Немонотонність може виникнути внаслідок накопичення похибки розрядів.

Лінійність і монотонність ЦАП погіршуються в міру збільшення швидкості зміни сигналу. Це обумовлено неідентичністю постійних часу різних розрядів.

В ЦАП, схема якого наведена на рис. 5.4, зважені розрядні струми формуються за допомогою N паралельно незалежних гілок, кожна з яких має опір $R, 2R, 4R$ і т.д. У вузлі зважування такого типу діапазон номіналів резисторів, що задають струм, дуже швидко збільшується по мірі збільшення кількості розрядів.

Відношення опору гілки, відповідного НБЗР, до опору гілки, відповідного НМЗР, в цьому випадку дорівнює:

$$\frac{R_{\text{НБЗР}}}{R_{\text{НМЗР}}} = \left(\frac{1}{2^{N-1}} \right). \quad (5.10)$$

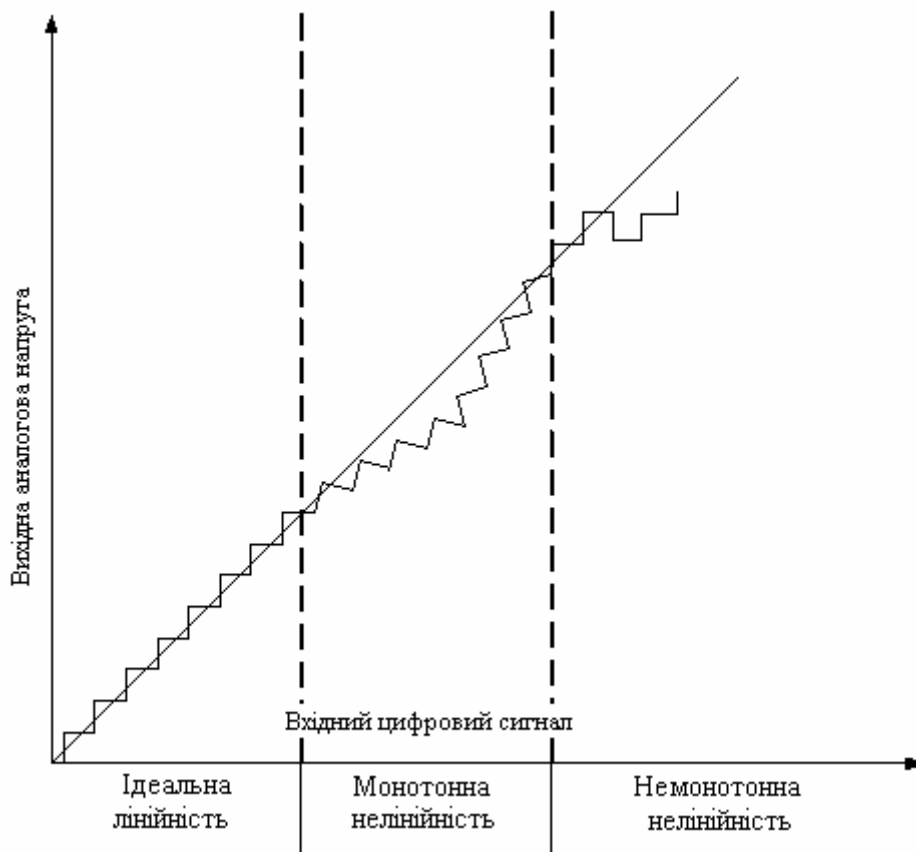


Рисунок 5.5 – Графічна ілюстрація понять «лінійність» і «монотонність»

5.1.3 Резистивні сходові ланцюги

Так, наприклад, при роздільній здатності 8 двійкових розрядів потрібний набір прецизійних резисторів, номінальні величини опорів яких знаходяться в діапазоні від R до $128R$. В монолітних і тонкоплівкових інтегральних схемах без дорогого відбракування і підстроювання дуже важко отримати досить точні резистори, номінальні величини опорів яких знаходяться в такому широкому діапазоні.

Іншим варіантом резистивної схеми зважування є резистивний сходовий (ступінчатий) ланцюг $R-2R$.

Цей ланцюг дозволяє усунути недолік, властивий схемі з ваговими опорами, що полягає в необхідності використання резисторів з великим діапазоном номінальних опорів. У цій схемі розподіл струмів I_1, I_2 , і т.д. навпіл досягається за рахунок поетапного розподілу кожного з цих струмів між паралельною ($2R$) і послідовною (R) гілками. Співвідношення між струмами гілок підпорядковується двійковому закону:

$$I_1 = 2I_2 = 4I_3 = \dots = 2^{N-1}I_N. \quad (5.11)$$

При цьому забезпечується відношення $(2/1)$ опорів резисторів, що

легко реалізується.

Сходовий (ступінчатий) ланцюг $R - 2R$ містить удвічі більше резисторів, чим ланцюг з ваговими опорами. Крім того, в ній в якості навантаження має бути використаний баластний опір.

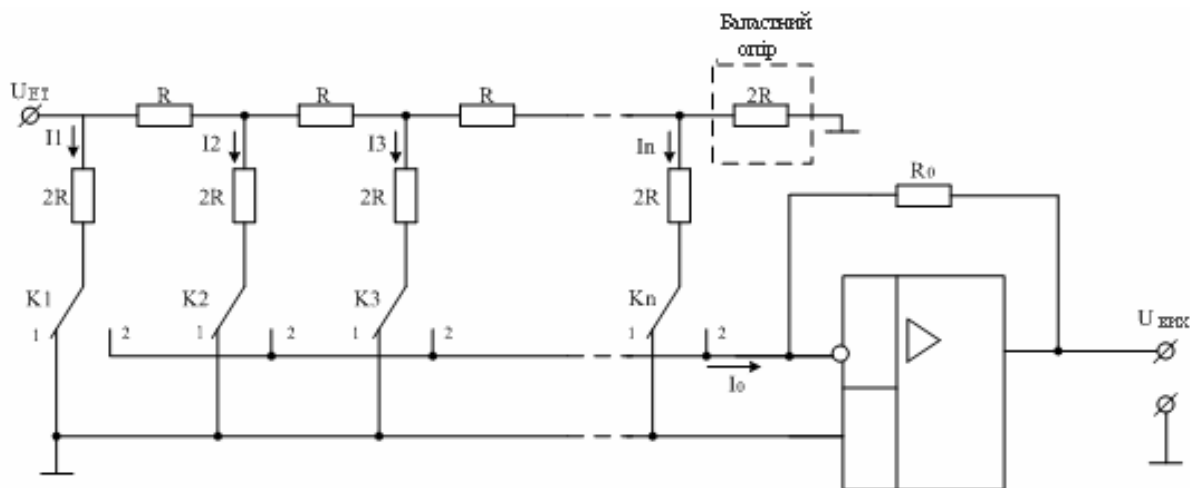


Рисунок 5.6 – Схема цифро-аналогового перетворювача з резистивним сходовим ланцюгом $R-2R$

На рис.5.6 показана одна з можливих схем ЦАП з резистивним сходовим (ступінчатим) ланцюгом $R-2R$, що перетворює n -розрядний код на вході в аналогову напругу.

Перетворювач містить джерело еталонної напруги $U_{ет}$, резистивну матрицю типу $R-2R$, ключі $Kл1-Kл4$ операційний підсилювач $ОП$. Резистор R_0 – опір зворотнього зв'язку.

5.1.4 Аналіз похибок

Як зазначалося раніше, похибка не те ж саме, що роздільна здатність. Однак перетворювач, маючи високу точність, але малу роздільну здатність, або навпаки, не має великого практичного значення. Тому з точки зору практичного використання номінальні величини роздільної здатності і максимальної похибки повинні вибиратися приблизно однаковими. Кажуть, що зазвичай похибка ЦАП знаходиться в межах $\pm \frac{1}{2}$ НМЗР. З цього випливає, що сумарна допустима похибка ΔU напруги на виході N -розрядного ЦАП, що має діапазон зміни вихідного сигналу $U_{дп}$, дорівнює:

$$\Delta U = \pm \frac{1}{2} \text{ НМЗР} = \pm \frac{U_{дп}}{2^{N+1}} \quad (5.12)$$

Таким чином, при точності, яка дорівнює половині НМЗР, виражена

у відсотках допустима сумарна відносна похибка ε_t напруги на виході дорівнює:

$$\varepsilon_t = \frac{100}{2^{N+1}} \% \quad (5.13)$$

Отже, вимога до точності дуже швидко зростає у міру збільшення кількості розрядів. Наприклад, в 4-х розрядному перетворювачі, що має точність $\frac{1}{2}$ НМЗР, допускається сумарна похибка сигналу на виході $\pm 3,12\%$, а в 6-ти розрядному і в 8-ми розрядному перетворювачах $\pm 0,78\%$ і $\pm 0,195\%$ відповідно. Сумарна похибка ε_t може бути представлена у вигляді суми двох складових:

$$\varepsilon_t = \varepsilon_{t_0} + \varepsilon_t(T), \quad (5.14)$$

де ε_{t_0} – похибка, обумовлена початковим зміщенням нуля; $\varepsilon_t(T)$ – додаткова температурна похибка, обумовлена температурними дрейфами і неідеальністю узгодження температурних характеристик відповідних елементів.

В ЦАП, що мають роздільну здатність 6 і більше розрядів, зазвичай мається коректор зміщення нуля, який дозволяє виключити складову ε_{t_0} .

Кожен з вузлів, що входять в ЦАП, має свою похибку, яка входить в сумарну відносну похибку вихідного сигналу:

$$\varepsilon_t = \varepsilon_{ет} + \varepsilon_к + \varepsilon_р + \varepsilon_п, \quad (5.15)$$

де

$\varepsilon_{ет}$ – похибка еталонного джерела;

$\varepsilon_к$ – похибка ключів;

$\varepsilon_р$ – похибка резистивного струмозадаючого ланцюга;

$\varepsilon_п$ – похибка сумуючого підсилювача.

Похибка ключів практично повинна враховуватися лише в ЦАП, що використовують ключі напруги, оскільки вони мають істотний опір в замкнутому стані. У ЦАП із струмовими ключами струми витоку розімкнених ключів потенційно можуть викликати деякі труднощі в разі роботи при малих величинах струмів (тобто при струмах НМЗР, менше 10 мкА). В більшості випадків застосовуються досить великі струми, так що впливом струмів витоку можна знехтувати, за винятком випадків використання перетворювача при дуже високих температурах. Таким чином, для напівпровідникових ЦАП, в яких застосовуються струмові ключі, впливом $\varepsilon_к$ зазвичай можна знехтувати.

Вимоги, що пред'являються до струмового ключа, використовуваного в ЦАП:

1. Висока швидкодія. З метою зменшення тривалості перехідних

процесів, тобто впливу паразитних ємностей, необхідно вибрати мінімальні напруги на комутованих електродах.

2. Хороша розв'язка. Необхідно забезпечувати великий опір ізоляції між цифровим ланцюгом, що управляє, і аналоговою частиною на виході.

3. Малі зворотні струми витоку. Струми витоку, що протікають через розімкнені ключі, повинні бути досить малі. Для комутації струму можуть застосовуватися діоди і транзистори. При нормальних умовах експлуатації зворотні струми витоку кремнієвих р-п переходів легко можуть бути зроблені дуже малими в порівнянні з розрядними струмами. Тому умова малості струму витоку не становить серйозної проблеми, якщо тільки не потрібно використовувати перетворювач при підвищеній температурі.

Інші три складові похибки приблизно однакові за своїм значенням.

При розробці перетворювача верхня межа величини ε_t зазвичай задається необхідною точністю, отриманою по (5.13). Отже, розробник, виходячи з величини ε_t , обчисленої по (5.13), повинен визначити верхні граничні значення кожної зі складових похибки, що входять у вираз (5.15). Найбільш груба оцінка проводиться на основі розрахунку на найгірший випадок, при якому передбачається, що всі складові похибок додаються. При цьому максимальна допустима похибка ділиться на рівні частки між усіма складовими (за винятком ε_n).

Тоді в відсотковому вираженні маємо:

$$\varepsilon_{et} \approx \varepsilon_p \approx \varepsilon_n \leq \frac{\varepsilon_t}{3} = \frac{100}{3 \cdot 2^{N+1}} \% \quad (5.16)$$

Більш точний результат виходить, якщо допустити, що всі джерела похибок повністю незалежні і що складові підсумовуються за квадратичним законом:

$$\varepsilon_t^2 = \varepsilon_{et}^2 + \varepsilon_p^2 + \varepsilon_n^2, \quad (5.17)$$

що призводить до наступного співвідношення між сумарною похибкою та її складовими:

$$\varepsilon_{et} \approx \varepsilon_p \approx \varepsilon_n \leq \frac{\varepsilon_t}{\sqrt{3}} \quad (5.18)$$

Фактичні значення знаходяться десь між величинами, що отримуються з (5.16) і (5.18).

Рівномірний розподіл похибки між складовими небезпідставний, але дещо довільний, оскільки ступінь впливу зовнішніх фактичних джерел похибки залежить від конкретного вибору схеми.

У певних випадках похибки ε_{et} еталонного джерела або ε_n сумуючого підсилювача (або обидві разом) можуть бути віднесені до

похибок зовнішніх пристроїв. Тому основними похибками власне інтегральної схеми виявляться ε_{κ} або ε_{ρ} .

Кожна зі складових похибки певним чином змінюється при зміні температури. Тому необхідно окремо розглядати вплив кожної з них на величини ε_{t_0} і $\varepsilon_t(T)$.

На конкретних прикладах визначимо типові вимоги до точності і температурної стабільності ЦАП.

Розглянемо монолітний інтегральний ЦАП, що містить 8 двійкових розрядів, що має похибку $\pm \frac{1}{2}$ НМЗР в температурному діапазоні від -55 до +125 градусів за Цельсієм. Вимоги до точності кожного вузла перетворювача визначимо за умови рівномірного розподілу похибки між ними за квадратичним законом (18).

Похибка джерела еталонної напруги. Початкове зміщення, викликане похибкою джерела еталонної напруги ε_{et0} , може бути скомпенсоване коректором нуля. Тому досить розглянути тільки його температурну складову $\varepsilon_{et}(T)$. Для забезпечення точності 8 двійкових розрядів необхідно виконати умову:

$$\varepsilon_{et} \approx \varepsilon_{et}(T) \leq \pm \frac{0,195}{\sqrt{3}} \%, \quad (5.19)$$

тобто $\varepsilon_{et} \approx 0,11\%$.

Для цього температурний коефіцієнт еталонної напруги повинен знаходитися в межах $\pm 10^{-3} \%$ /°C. Це можна розрахувати наступним чином:

Середній розмах температур в діапазоні становить

$$(|t_{min}| + |t_{max}|) : 2 \approx 90^\circ, \quad (5.20)$$

тоді сам температурний коефіцієнт еталонної напруги дорівнює:

$$0,11\% : 90^\circ\text{C} \approx 10^{-3} \%/^\circ\text{C}.$$

Похибка резистивного ланцюга, що задає струм, обумовлена неідеальністю узгодження опорів і відмінністю ТКО. Складові похибки, викликані неідеальністю узгодження опорів, не може бути скоригована простим підстроюванням, тому ланцюг, що задає струм, має змінну структуру (в залежності від коду). Тому при обчисленні частки сумарної похибки, яка припадає на ланцюг, що задає струм, необхідно враховувати обидві складові (похибка від неідеального узгодження опорів і похибка від відмінності їх температурних коефіцієнтів). Найбільший внесок у розглянуту похибку вносять резистори НБЗР і наступного за ним розряду, а резистори наступних розрядів вносять в неї прогресивно дедалі менші

частки.

НБЗР формує тільки половину діапазону зміни сигналу на виході. Тому загальна похибка неідеального узгодження та відмінності температурних коефіцієнтів між НБЗР і наступним розрядом може бути прийнята рівною

$$2 \varepsilon_p = 2 * 0,1\% = 0,2\%.$$

Допускаючи, що похибки неідеального узгодження та відмінності температурних коефіцієнтів приблизно однакові, для забезпечення точності 8 розрядів (тобто похибки не більше $\frac{1}{2}$ НМЗР) похибка неідеальності узгодження опорів резисторів перших розрядів повинна бути не більше 0,1%, а похибка відмінності температурних коефіцієнтів не повинна перевищувати $10^{-3} \% / ^\circ\text{C}$, (тому що $0,1\% / 100^\circ\text{C} = 10^{-3} \% / ^\circ\text{C}$).

Застосування дифузійних резисторів не дозволяє досягти такого ступеня узгодження опорів і їх температурних коефіцієнтів. Тому в даному випадку необхідно використовувати тонкоплівкові резистори.

Похибка підсилювача має три джерела похибки: вхідний струм зміщення $I_{з\text{м}0}$, вхідна напруга зсуву і приведений до входу температурний дрейф. Зазвичай підсилювач вибирається таким чином, щоб його струм зміщення не перевищував 5% від величини струму НМЗР. В восьмирозрядному перетворювачі, струм НБЗР якого дорівнює 1 мА, струм НМЗР приблизно дорівнює 8мкА. Тому в робочому діапазоні температур вхідний струм зміщення не повинен перевищувати $8\text{мкА} * 5\% = 0,4\text{мкА}$.

Маючи на увазі, що підсилювач, що сумує, має коефіцієнт посилення $K=1$, і діапазон його напруги на виході дорівнює 5В, знайдемо допустиму похибку вихідної напруги:

$$\Delta U_E = \frac{5 \cdot 10^{-3} \text{ мВ}}{2^{N+1}} = \frac{5000}{2^{8+1}} = \frac{5000}{512} \approx 10 \text{ мВ},$$

Тобто

$$\varepsilon_n = \frac{10}{5000} 100\% = 0.2\%$$

Інтегральні операційні підсилювачі зазвичай мають вхідну напругу зміщення $\pm 3\text{мВ}$ і температурний коефіцієнт дрейфу напруги $\pm 15\text{мкВ}/^\circ\text{C}$, що в гіршому випадку може привести до виникнення похибки $15 \times 100 = 1.5\text{мВ}$. Це в сумі складе $3 + 1,5 = 4,5\text{мВ}$ у всьому робочому діапазоні температур. Тому вимоги до сумуючого підсилювача цілком прийнятні з точки зору інтегральної технології.

5.2 Аналого-цифрові перетворювачі

5.2.1 Принципи побудови АЦП

Аналого-цифрові перетворювачі (АЦП) призначені для перетворення безперервного аналогового сигналу в цифровий код (рис. 5.7).

АЦП виконують операцію, зворотну тій, яку виконують ЦАП.

У АЦП вхідна безперервна напруга U_A приблизно представляється у вигляді доли еталонної напруги $U_{\text{ет}}$. При цьому сигналом на виході перетворювача є цифровий код D :

$$D = \frac{U_A}{U_{\text{ет}}} = b_1 \cdot 2^{-1} + b_2 \cdot 2^{-2} + \dots + b_N \cdot 2^{-N}, \quad (5.21)$$

де N – довжина двійкового цифрового слова, тобто число двійкових розрядів;

b_1, b_2, \dots, b_N – розрядні коефіцієнти, що набувають значення 0 або 1.

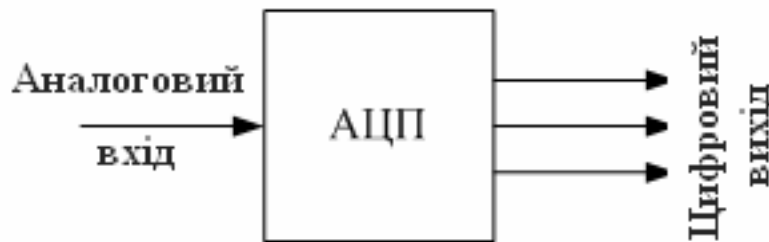


Рисунок 5.7 – Представлення в загальному вигляді аналого-цифрового перетворювача

Розрядні коефіцієнти, що представляють собою сигнал на виході, можуть бути отримані одночасно у вигляді N паралельних виходів, або можуть по черзі з'являтися на одному і тому ж виході. Ці способи представлення сигналу на виході називаються відповідно «паралельним» і «послідовним». При послідовному сигналі на виході розрядний коефіцієнт b_1 , відповідний НБЗР, зазвичай визначається і з'являється на виході першим, потім з'являються розрядні коефіцієнти наступних розрядів у порядку зменшення їх ваги. Проміжне місце між ними по швидкодії і ціні займає найбільш використовуваний у практиці АЦП порозрядного врівноваження.

Тепер розглянемо в цілому роботу АЦП, схема якого зображена на рис. 5.8. Спочатку за допомогою керуючих логічних схем КЛ в регістр заноситься код 1000 (тобто встановлюється в 1 найстарший біт). Напруга

U_{BX} і напруга, вироблена ЦАП, порівнюються за допомогою компаратора. Якщо напруга U_{BX} виявилася більшою, то старший біт так і залишається в стані 1, якщо меншою, то скидається в 0. Потім встановлюється в 1 наступний біт і процес повторюється. Так поступово біт за бітом визначається код на виході, відповідний даній вхідній напрузі.

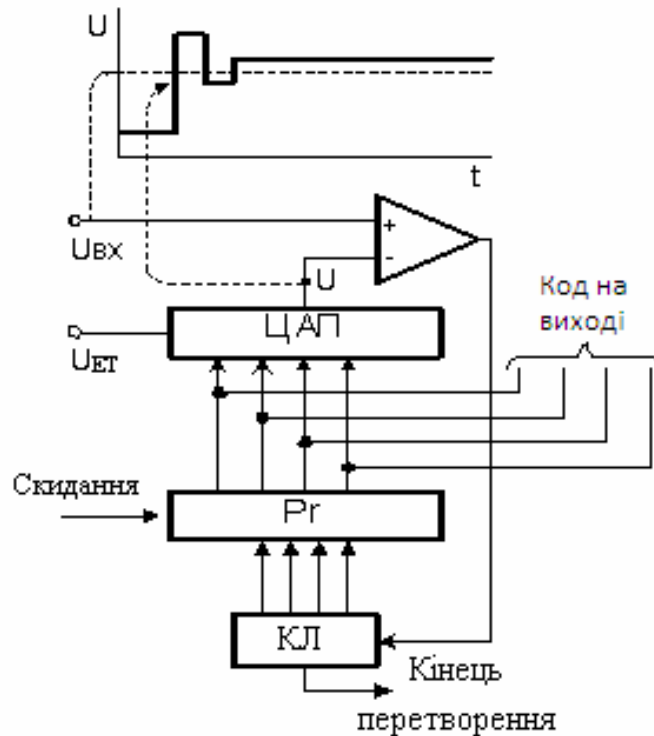


Рисунок 5.8 – Схема аналого-цифрового перетворювача з порозрядним урівноваженням

Якщо через x_i позначити отриманий черговий біт (1 або 0), то процес перетворення можна представити таким чином:

<u>Код на виході</u>	<u>Додатковий біт</u>
1 0 0 0	0
X_4 1 0 0	0
$X_4 X_3$ 1 0	0
$X_4 X_3 X_2$ 1	0
$X_4 X_3 X_2 X_1$	1

Додатковий біт служить для визначення моменту закінчення перетворення.

Кількість необхідних порівнянь визначається розрядністю коду на виході. Перетворювач з меншою роздільною здатністю має більшу швидкодію.

Точність роботи АЦП залежить від ряду факторів, основними з яких є точність і стабільність еталонної напруги U_{ET} , точність виготовлення

резистивної матриці $R-2R$ (важлива стабільність відносин опорів), якість аналогових ключів ЦАП, якість компаратора (підсилення, зміщення нуля, поріг, час відновлення).

Як приклад приведемо одну з вдалих реалізацій 10-розрядного АЦП (рис. 5.9.).

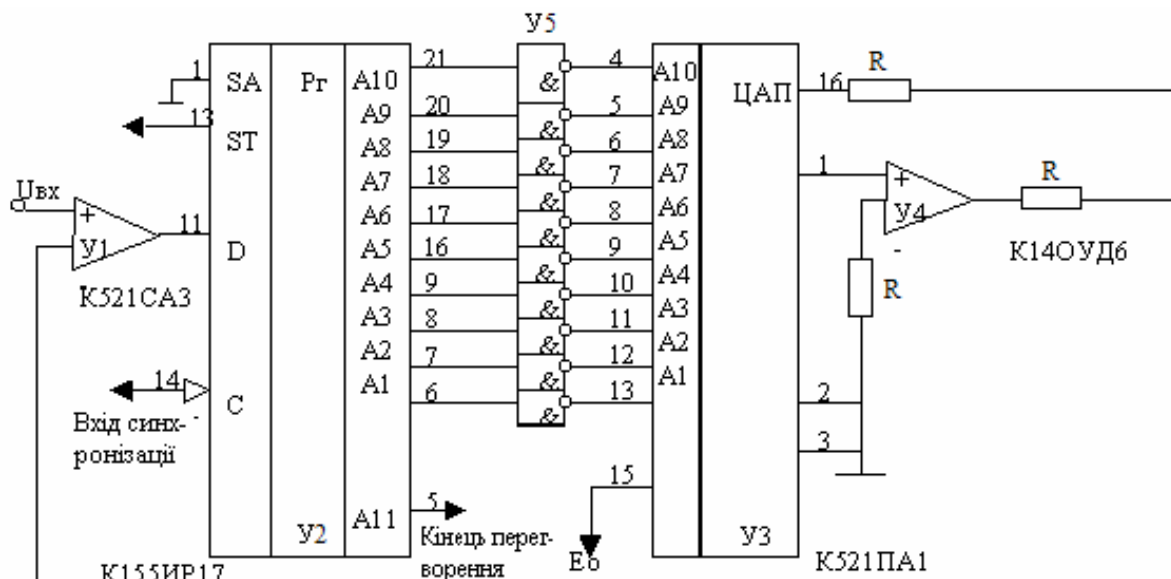


Рисунок 5.9 – Схема 10-розрядного АЦП

Напруга $U_{вх}$ поступає на компаратор U_1 , реалізований на мікросхемі K521СА3. На інший вхід компаратора поступає напруга, вироблена ЦАП, що складається з цифро-аналогового перетворювача U_3 (K521ПА1) і операційного підсилювача U_4 (K140УД6).

Основні функції з реалізації алгоритму порозрядного врівноваження виконує регістр послідовного наближення U_2 (K155IP17).

На початку перетворення на вивід 13 регістра U_2 подається рівень «0» (сигнал START), а на вивід 14 – позитивний сигнал, по передньому фронту якого на виводах 21-16, 9-6 встановлюється код 01 1111 1111. Після інверторів U_5 на вході ЦАП встановиться код 10 0000 0000, а на виході з'явиться напруга, що дорівнює $0,5E_0$, де E_0 – еталона напруга $U_{ет}$. Ця напруга компаратором U_1 порівнюється з напругою $U_{вх}$ на вході.

Сигнал на виході компаратора поступає на вхід даних регістра U_2 (вивід 11). Потім схемою управління виробляється ще один позитивний сигнал, який подається на вхід синхронізації регістра U_2 (вивід 14). При цьому старший розряд (вивід 21) встановлюється в стан, в якому зараз знаходиться вхід даних регістра (вивід 11), а наступний розряд (вивід 20) встановлюється в 0.

Синхронізуючі сигнали будуть надходити на вивід 14 регістру до тих пір, поки на виводі 5 схеми U_2 не з'явиться 0, який служить ознакою

закінчення перетворення. В цей момент з виходів інверторів 4 – 13 зчитується код, числове значення якого відповідає даній напрузі.

5.2.2 Основні параметри АЦП

Діапазон зміни величин на входах і виходах

При виборі типу АЦП необхідно враховувати межі змін аналогових величин. При цьому можуть відігравати роль як максимальне X_{MAX} і мінімальне значення X_{MIN} аналогової величини, так і динамічний діапазон її зміни:

$$D = \frac{x_{max}}{x_{min}} \quad (5.22)$$

У разі коли $X_{MIN} = 0$, динамічний діапазон дорівнює $D = X_{MAX}/\delta$, де δ – допустима абсолютна похибка перетворення, виражена в аналоговій формі.

Часові параметри

При виконанні аналого-цифрового перетворення вхідний сигнал квантується за часом, при цьому через певні проміжки часу, як правило однакові, беруться вибірки, тобто визначаються поточні значення вхідного сигналу.

Одержуваний при кожній вибірці код на виході АЦП відповідає значенню вхідного сигналу в певний момент часу. Цей момент часу називається моментом перетворення.

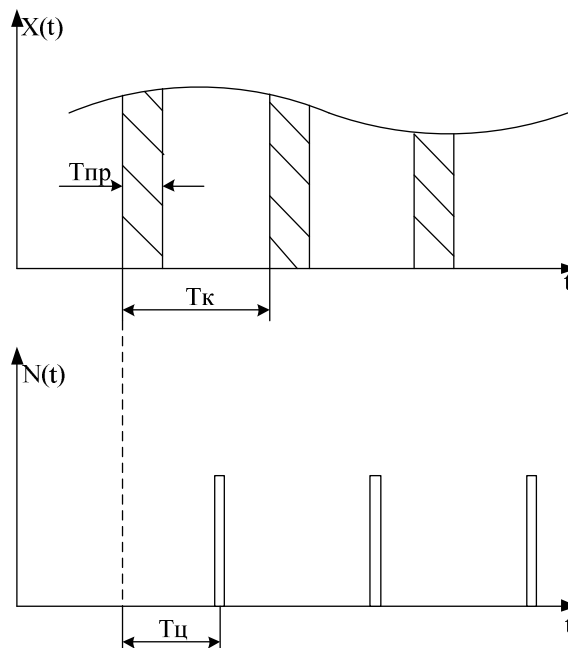


Рис. 5.10 – Ілюстрація часових параметрів АЦП

Розрізняють три часові параметри АЦП:

– період квантування T_K – інтервал між двома послідовними перетвореннями. Величину, зворотну періоду квантування називають частотою квантування:

$$f_k = \frac{1}{T_K} \quad (5.23)$$

– тривалість циклу перетворення $T_{Ц}$, визначає затримку між моментом подачі вхідної величини на АЦП і моментом видачі коду;

– час перетворення $T_{ПР}$ – часовий інтервал, протягом якого вхідний сигнал безпосередньо взаємодіє з АЦП.

Похибка перетворення

Ця похибка складається з двох різних за своєю природою компонентів – похибки внаслідок квантування вхідного сигналу за часом (динамічної похибки) та статичної похибки окремого відліку.

Якщо вхідний аналоговий сигнал U_A змінюється в часі, то ненульова тривалість циклу перетворення може спричинити виникнення додаткової похибки. Наприклад, якщо вхідний сигнал лінійно зростає або убиває, то похибка ΔU_x , обумовлена тривалістю циклу перетворення $T_{Ц}$, може бути визначена таким чином:

$$\Delta U_x = \left(\frac{dU_A}{dt} \right) T_{Ц} \quad (5.24)$$

Отже, по мірі розширення спектру частот вхідного сигналу похибка, викликана тривалістю циклу перетворення, збільшується досить швидко.

Статична похибка складається з 2х частин:

– похибки цифрового подання або округлення, що обумовлена квантуванням вхідного сигналу за рівнем

– інструментальної похибки перетворювача.

У процесі перетворення аналогового сигналу U_A в цифровий код відбувається «квантування» – розбиття напруги U_A на кінцеве число дискретних рівнів, які відрізняються між собою на величину НМЗР.

Цим пояснюється виникнення похибки квантування процесу аналого-цифрового перетворення, величина якої ΔU_A в результаті округлення виявляється в межах від $-1/2$ НМЗР до $+1/2$ НМЗР. Похибка квантування може бути виражена в одиницях аналогової напруги $U_A < U_{ЕГ}$ наступним чином:

$$0 \leq \Delta U_A \leq \frac{U_{ЕГ}}{2^{N+1}} \quad (5.25)$$

Необхідно мати на увазі, що похибка квантування внутрішньо притаманна процесу аналого-цифрового перетворення і тому є в кожному АЦП.

Інструментальна похибка виникає із-за шумів і перешкод як у вхідному сигналі, так і у вузлах АЦП, а також із-за технологічних відхилень у вузлах АЦП, що виникли при виготовленні і експлуатації перетворювача.

Надійність перетворювача

Надійність є основною вимогою, що пред'являється до всієї радіоелектронної апаратури, у тому числі до перетворювачів. Проте по порівнянню, наприклад, з ЦВМ питання про надійність для перетворювачів ставиться значно ширше. Це пов'язано з тим, що для перетворювачів під надійністю слід розуміти не лише вірогідність безвідмовної роботи в перебігу певного часу, але і збереження протягом цього часу заданої точності.

Прийнято розділяти відмови в АЦП на 3 види:

- катастрофічні, або раптові відмови, що призводять до порушення нормального функціонування;
- збої, тобто тимчасові відмови, зазвичай пов'язані з впливом шумів і перешкод і призводять до помилкового результату перетворення;
- поступові або деградаційні відмови, що не приводять до порушення нормального функціонування АЦП і виникають через зміни параметрів вузлів АЦП.

Таким чином, при деградаційній відмові зовні зберігатиметься нормальна робота АЦП, але він матиме підвищену похибку, тобто станеться збільшення інструментальної похибки із-за нестабільності характеристик окремих вузлів АЦП. Ця зміна характеристик є, у свою чергу, наслідком дії різних чинників: старіння деталей, зміни напруги живлення, температури, вологості або тиску в середовищі, навколо АЦП.

Контрольні запитання

1. Які сигнали існують на вході і виході цифро-аналогового перетворювача?
2. Які сигнали існують на вході і виході аналого-цифрового перетворювача?
3. Представте і поясніть співвідношення для передатної функції ЦАП.
4. Перелічіть вузли, які містить практична схема ЦАП.
5. Укажіть різницю між струмовими ключами та ключами напруги.
6. Поясніть термін «роздільна здатність» ЦАП.
7. Як Ви розумієте поняття похибки ЦАП?
8. Як функціонує резистивна матриця, що складається із вагових резисторів?
9. Опишіть особливості роботи токозадаючого ланцюга R-2R.
10. Укажіть різницю між паралельними і послідовними АЦП.
11. Порівняйте АЦП порозрядного врівноваження із паралельними і

послідовними АЦП.

12. Приведіть співвідношення для динамічного діапазону аналогового сигналу в АЦП.
13. Що таке період (частота) квантування сигналу?
14. Що таке тривалість циклу перетворення АЦП?
15. Як Ви розумієте поняття динамічної похибки АЦП?
16. Що таке статична похибка перетворення?

6 Проектування вимірювальних комутаторів амплітудно-модульованих сигналів

6.1 Основні типи комутаторів і їхні характеристики

Основне призначення комутаторів – утворення між блоками з'єднань, що забезпечують проходження сигналів у заданих напрямках.

На відміну від цифрових комутаторів (мультиплексорів), у яких не відбувається втрат інформації при передачі цифрових сигналів, аналоговий мультиплексор – більш складний пристрій.

Комутатори, призначені для роботи у вимірювальній частині ІВС, зв'язують між собою ділянки аналогових вимірювальних ланцюгів, що працюють у паралельному й послідовному режимах.

Особливе значення для ІВС представляють вимірювальні комутатори, що служать для перемикання аналогових вимірювальних сигналів. При їхній розробці основна мета полягає в тому, щоб у вимір аналогового сигналу не вносилися помилка. Ця вимога може бути виконана при використанні ідеального або близького до нього ключа.

Вимірювальні комутатори АМ-сигналів характеризуються наступними параметрами:

- динамічним діапазоном величин, що комутуються;
- похибкою коефіцієнта передачі аналогового сигналу $\delta = (A_{\text{вх}} - A_{\text{вих}})/A_{\text{вх}}$, де $A_{\text{вх}}$ і $A_{\text{вих}}$ – відповідно сигнали на вході та виході комутатора;
- швидкодією, або швидкістю комутації. Для комутаторів ці параметри оцінюються кількістю перемикань у секунду (комутатори циклічної дії) або часом, необхідним для виконання однієї комутаційної операції;
- числом сигналів, що комутуються – входів n , числом виходів h і числом одночасно утворених каналів k ; у більшості випадків $n > h$, $k \leq h$; найбільше поширення мають вимірювальні комутатори з $h=k=1$;
- кількістю комутуючих вимірювальних N і керуючих M елементів комутатора; звичайно при проектуванні комутаторів прагнуть до

зменшення N і M ;

- терміном служби, обчислювальним граничною кількістю операцій перемикання, при якому основні характеристики комутаторів залишаються незмінними в заданих межах.

Комутатори різняться також послідовністю (програмою) перемикання вхідних сигналів. У комутаторах можуть бути реалізовані циклічний і адресний режими. При циклічному режимі комутація відбувається по заздалегідь установленій програмі з заданою комутаційною функцією, що визначає послідовність з'єднання входів з виходами комутатора. При адресній роботі комутатора послідовність перемикання заздалегідь, як правило, не визначається.

Залежно від типу використовуваних у комутаторі комутаційних елементів різняться контактні й безконтактні комутатори.

Динамічні характеристики аналогових комутаторів визначаються часом перемикання. Цей час для механічних ключів становить десятки і сотні мілісекунд, а для ключів на МОП-транзисторах (компліментарних транзисторах) становить сотні наносекунд.

Основними способами підключення джерел вхідного сигналу до аналогового комутатора є використання однодротового підключення, при якому всі аналогові сигнали мають загальну точку (землю), щодо якої відлічується сигнал на виході, та диференційного підключення, при якому комутатор має диференційну пару проводів на вході та виході.

Перевагою схем з диференційним входом є їх властивість подавляти синфазну перешкоду. Тому в тих випадках, коли вимірювані сигнали невеликі, а вимоги до точності виміру досить високі, варто застосовувати диференційні схеми.

6.2 Комутаційні елементи

Будь-який комутаційний елемент складається із ключа й керуючого елемента. Під ключем розуміється двохполюсний елемент електричного кола, що може знаходитися в замкнутому стані, коли провідність ключа велика, або розімкнутому, коли провідність мала.

У якості ключа використовуються елементи, що мають нелінійні вольт-амперні характеристики. Перехід ключа з одного стану в інший виконується за допомогою керуючого елемента.

Найбільш важливими розрахунковими характеристиками ключів для електричних сигналів є:

- опір або провідність в замкнутому та розімкнутому станах (r_z або u_z , r_p або u_p); широко використовується також відношення r_p/r_z , яке має назву комутаційного коефіцієнта;
- власні ЕДС та струм ключа e_0 та i_0 , що виникають в комутуючому ланцюгу під дією керуючих сигналів, власних шумів, паразитних

наведень, контактних різниць потенціалів і інше;

- динамічний діапазон, що дорівнює відношенню максимальної та мінімальної амплітуд вхідного сигналу: $D_d = A_{\max}/A_{\min}$;
- максимальна частота перемикань або час переходу ключа з одного стану в друге;
- гранична кількість перемикань, до якої характеристики ключів залишаються в межах нормального стану.

По комутаційному коефіцієнту у ідеального ключа повинне бути $r_p = \infty$, $r_z = 0$, $e_0=0$, $i_0=0$. Найбільш близькі до таких ідеальних ключів по своїх параметрах контактні ключі, у яких $r_p=10^8 \div 10^{12}$ Ом; $r_z=0,005 \div 0,1$ Ом, власні ЕДС мають значення порядку часток і одиниць мікрвольт, $D_d=10^7$.

У більшості контактних елементів, керованих електромагнітними механізмами (електромагнітні й поляризовані реле, крокові шукачі й т.п.), найбільша швидкість перемикань становить від одиниць до десятків перемикань у секунду, гранична кількість перемикань не перевищує $10^6 - 10^7$, а потужність, необхідна для керування ключем, дорівнює приблизно 0,1—10 Вт.

Підвищеними швидкістю роботи й терміном служби, в порівнянні з контактними елементами, керованими електромагнітними механізмами, володіють магнітокеровані герметичні контакти.

Такі контакти, що випускаються промисловістю, можуть спрацьовувати до 100 разів у секунду (окремі екземпляри до декількох сотень спрацьовувань у секунду) і мають термін служби, обумовлений 10^8 спрацьовуваннями. Потужність керування в них порядку десятків вата.

Через те, що контактна група в таких контактних елементах мініатюрна й контактні зусилля малі, опір замкнутих контактів може досягати 0,1 Ом, а опір розімкнутих контактів (опір ізоляції) може бути порядку 10^8 Ом.

Великий термін служби (до 10^{12} спрацьовувань за повідомленнями виготовлювачів) мають ртутні контакти (контакти, що змочуються ртуттю по капілярах).

Швидкодія їх відносно невелика – приблизно 10 спрацьовувань у секунду.

Технологія їхнього виготовлення складна, вартість висока, тому ртутні контакти застосовуються не так широко, як магнітокеровані контакти.

Характеристиками, що заслуговують уваги, мають комутаційні елементи, засновані на використанні ефекту надпровідності. Вони мають комутаційний коефіцієнт порядку $10^{10} - 10^{12}$ при опорі контакту в ненадпровідному стані приблизно 10 Ом.

Перспективними є розробки контактних комутаційних елементів з швидкістю до $10^4 - 10^5$ спрацьовувань у секунду, терміном служби більше 10^8 спрацьовувань і невеликою потужністю керування.

Сучасні контактні комутаційні елементи застосовуються переважно для комутації параметричних датчиків і малих за рівнем струмів і напруг (порядку декількох мілівольтів і часток міліампера) при відносно невеликих швидкостях комутації.

Для побудови безконтактних комутаторів ІВС використовуються елементи, у яких під впливом зовнішнього керуючого сигналу стрибкоподібно змінюється опір.

Як правило, безконтактні перемикаючі елементи мають великий термін служби, високу швидкодію, вимагають малої потужності керування, але в них невеликий комутаційний коефіцієнт, менший динамічний діапазон. Крім того, вони більшою мірою, чим контактні елементи, піддані впливу зовнішніх збурювань; при їхньому використанні необхідно вживати заходи до поділу інформаційних і керуючих ланцюгів.

Найбільше застосування в безконтактних комутаційних елементах знайшли напівпровідникові транзистори й діоди.

Такі елементи мають опір в замкнутому стані – r_3 – від 2 до 100 Ом, в розімкнутому – r_p – від 10^6 до 10^8 Ом (комутаційний коефіцієнт від 10^4 до 10^8), e_0 від 1 до 100 мкВ, i_0 від 0,01 до 0,05 мкА, міжелектродну ємність від 5 до 50 пФ, частоту комутації до 10^6 спрацьовувань в секунду.

Серед напівпровідникових перемикачів найкращі характеристики мають аналогові ключі на польових транзисторах з р – n-переходами й на МОП-транзисторах. Опір закритого (розімкнутого) ключа досягає тисяч мегом ($r_p = 10^8 \dots 10^{10}$ Ом), і він стає близьким до ідеального ключа, що знаходиться в розімкнутому стані.

У порівнянні з іншими напівпровідниковими ключами польовий транзистор з р – n-переходом і МОП-транзистор характеризуються повною відсутністю напруги зсуву у відкритому стані, мають близькі до нуля власні ЕДС і струми. Відкритий (замкнутий) ключ у цьому випадку подібний лінійному омичному резистору від декількох десятків до декількох сотень Ом ($r_3 = 20 \dots 2000$ Ом).

Джерелами похибок таких ключів є опори відкритого ключа, струм витоку й перехідні процеси.

Комутаційні елементи із застосуванням оптронів дозволяють гальванічно розділити вимірювальний ланцюг і тим самим усунути вплив синфазних перешкод, але поки мають відносно невисокі метрологічні характеристики.

Оптрон з закритим оптичним каналом загального призначення 4N35 має час включення й вимикання порядку 10 мкс, таким чином, він може передавати сигнали на частотах вище 10 кГц. Однак при наближенні швидкості проходження сигналів до граничної швидкості спрацьовування оптрона сигнал на виході все більше відрізняється від вхідного.

Тому там, де потрібна висока швидкість передачі даних, варто використовувати швидкодіючий оптрон, наприклад 6N136, що здатний

працювати на частотах до 1 МГц.

У цьому оптроні для досягнення високої швидкості спрацьовування використана схема включення фотодіода послідовно з вихідним транзистором.

Оптрони з поліпшеними метрологічними характеристиками використовуються у вимірювальних комутаторах.

Основна область застосування електронних комутаційних елементів – комутація з високими швидкостями щодо великих напруг і струмів (приблизно ± 5 , ± 10 В; ± 5 мА).

6.3 Приклади проектування комутаторів напруг з заданою похибкою передачі сигналу

Комутаційні елементи можуть розташовуватися в комутуючому ланцюгу послідовно, паралельно опору навантаження й комбінованим способом (рис. 6.1).

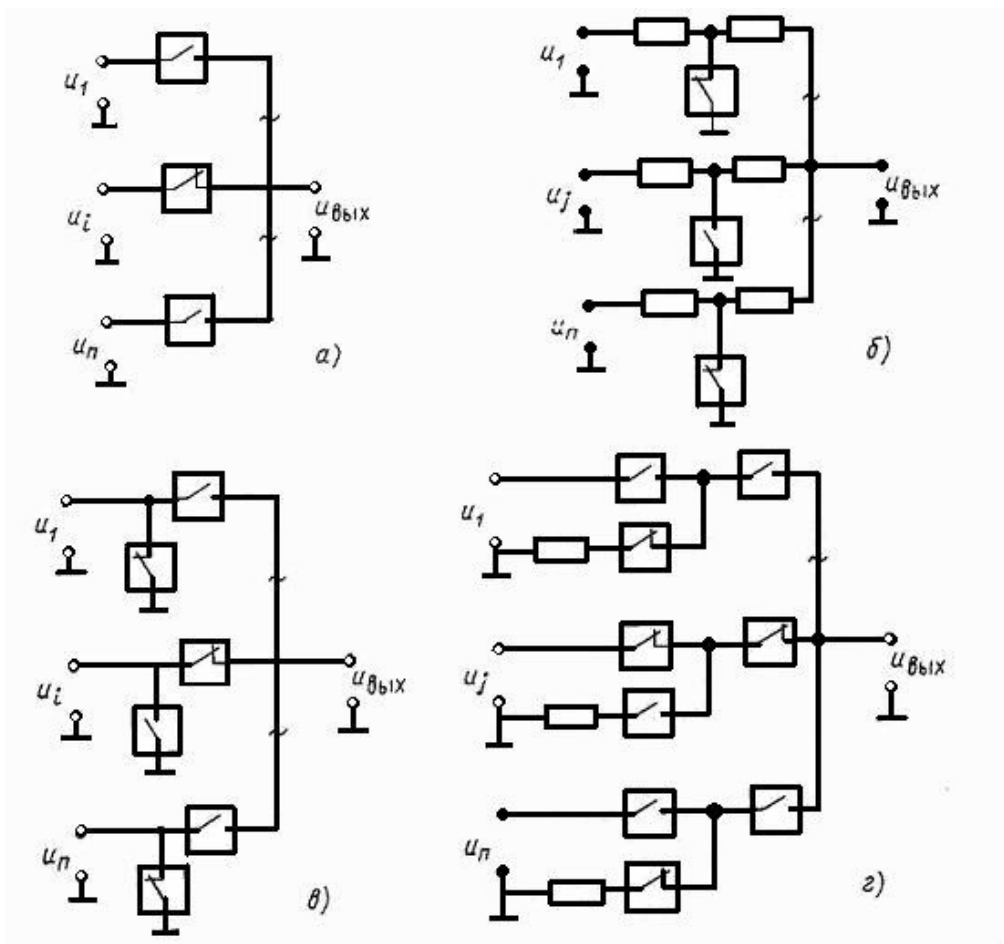


Рисунок 6.1 – Схеми комутаторів з послідовним (а), паралельним (б) та комбінованим (в, г) включенням комутаційних елементів

Найбільше застосування мають комутатори з послідовним включенням елементів.

Розглянемо похибки, викликувані впливом комутаційних елементів, в одноступінчастому комутаторі з n входами й одним виходом ($h=1$).

Будемо розрізняти наступні складові похибок:

- похибки, обумовлені відмінністю опорів r_3 і r_p від нуля й нескінченності відповідно;
- похибки від власних ЕДС ключів;
- похибку через варіації r_3 і r_p .

Обмежимося розглядом випадку, коли всі ключі комутатора мають однакові опори: $r_3 = \text{const} \neq 0$, $r_p = \text{const} \neq \infty$.

Якщо комутатор призначений для роботи з генераторними датчиками (рис. 6.2), що мають внутрішній опір $r_1 = r_2 = \dots = r_n = r_B$ і ЕДС E_i , то можна показати, що при замкнутому j -м ключі відносна похибка δU передачі вхідної напруги комутатора визначається за формулою

$$\delta U = \frac{1}{1 + (r_B + r_p)/(r_B + r_3)(n-1)} 100\% \quad (6.1)$$

Покладемо, $r_3 = 0,1$ Ом, $r_B = 100$ ом, $r_p = 10^7$ Ом, $n = 10^4$.

Тоді

$$\delta U = \frac{1}{1 + (100 + 10^7)/(100 + 0,1)(10^4 - 1)} 100\% \approx \frac{1}{1 + 10} 100\% \approx 9,1\%.$$

Якщо максимальне значення комутуємого сигналу $U_{MAX} = 5B$, то абсолютна похибка передачі вхідної напруги комутатора складе

$$\Delta = U_{MAX} \times \delta U \approx 5B \times 9,1\% = 0,455B.$$

Отже, при таких комутаційних елементах і кількості джерел напруги, що комутуються, похибка напруги комутатора неприпустимо велика.

Один із схемних способів зменшення цієї похибки є в переході на схему двоступінчастого комутатора, при якому n входів розділяються на m груп по q датчиків (рис. 6.3).

З рисунку 6.3 видно, що у всіх m групах включені j -е ланцюги за допомогою ключів комутатора першого ступеня K_1 , а вибірка групи l і, отже, підключення до виходу ланцюга l_j , здійснюються комутатором K_2 другого ступеня.

У такій схемі різко спрощується пристрій управління комутатором першого ступеня.

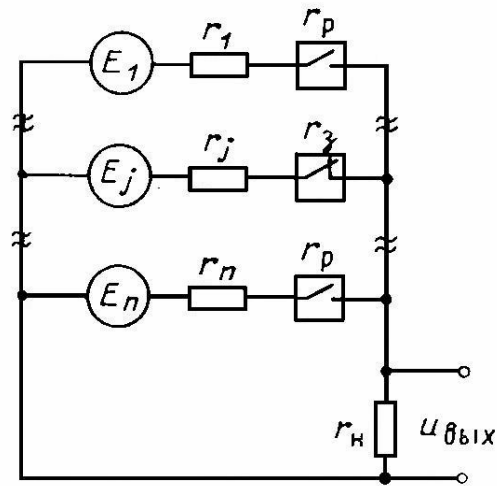


Рисунок 6.2 – Одноступеневый коммутатор с генераторными датчиками

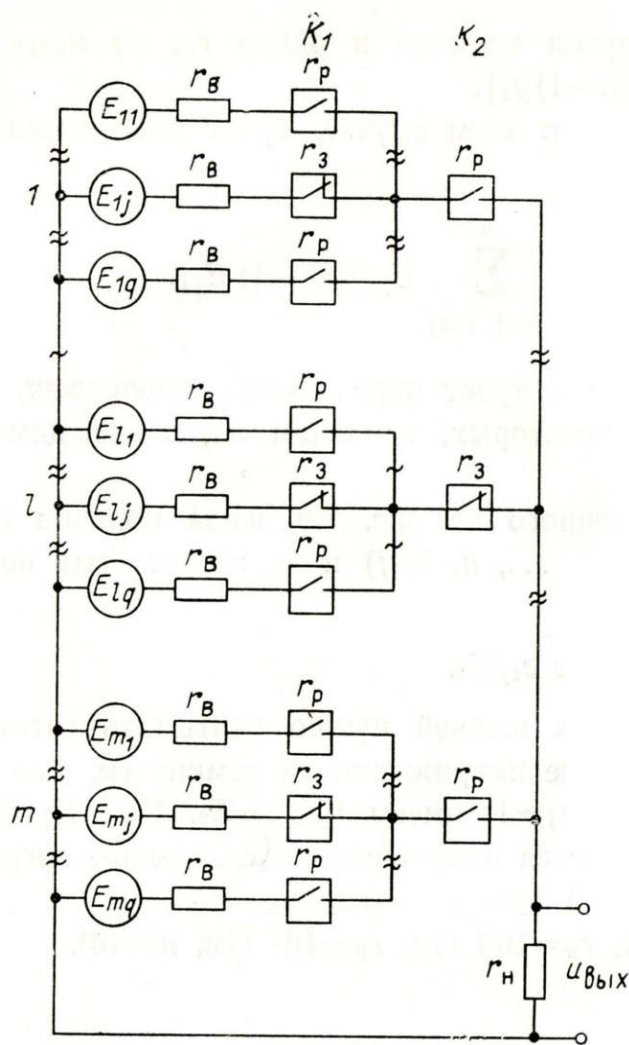


Рисунок 6.3 – Двуступеневый коммутатор с генераторными датчиками

Оскільки m невелике, а $r_p \gg r_3$, то для спрощеного наближеного розрахунку відносної похибки δU передачі вхідної напруги такого комутатора можна використовувати вираз

$$\delta U = \frac{1}{1 + r_p / (r_B + 2r_3)(m + q)} 100\% . \quad (6.2)$$

Для зменшення загальної кількості ключів в схемі рекомендується вибирати

$$m = q = \sqrt{n} . \quad (6.3)$$

Тоді для комутатора з тими ж параметрами ($r_3=0,1\text{ом}$, $r_B=100\text{ом}$, $r_p = 10^7 \text{ ом}$, $n = 10^4$, $U_{\text{MAX}}=5\text{В}$), але побудованого по двоступінчастій схемі, маємо:

$$\delta U = \frac{1}{1 + 10^7 / (100 + 2 \times 0,1)(100 + 100)} 100\% \approx \frac{1}{500} 100\% = 0,2\% ,$$

$$\Delta = U_{\text{MAX}} \times \delta U \approx 5\text{В} \times 0,2\% = 0,01\text{В} .$$

Видно, що двоступінчастий комутатор має більш високі метрологічні характеристики, чим одноступінчастий.

Таким чином, розробку структури комутатора доцільно спочатку робити з урахуванням виразу (6.1). Якщо виявиться, що одноступінчаста структура не задовольняє заданим характеристикам точності, необхідно перейти до двоступінчастої структури комутатора, перевірку якої доцільно проводити за допомогою виразів (6.2) і (6.3).

Контрольні запитання

1. Дайте визначення та поясніть призначення комутаторів.
2. Чим відрізняються аналогові комутатори від цифрових?
3. Укажіть параметри комутаторів амплітудно-модульованих сигналів.
4. Охарактеризуйте циклічний і адресний режими роботи комутаторів.
5. Що таке контактні і безконтактні комутатори?
6. Однодротове підключення комутаторів.
7. Диференційне підключення комутаторів.
8. Складові частини комутаційного елемента.
9. Дайте визначення ключу для електричних сигналів.
10. Дайте визначення керуючому елементу ключа.
11. Які розрахункові характеристики ключів для електричних сигналів Ви знаєте?

12. Укажіть особливості побудови і використання герконів.
13. Укажіть характеристики напівпровідникових ключів.
14. Укажіть особливості роботи контактних елементів, керованих електромагнітними елементами.
15. У яких випадках використовують оптронний комутаційний елемент?
16. Комутатори з послідовним включенням комутаційних елементів.
17. Комутатори з паралельним включенням комутаційних елементів.
18. Укажіть параметри, необхідні для розрахунку комутаторів.

7 Використання стандартних інтерфейсів та ліній зв'язку при проектуванні АСМНС

7.1 Магістралі інтерфейсів

Будь-яка інформаційно-вимірювальна система (ІВС) має складну структуру і містить у собі багато пристроїв різного призначення – датчики, контролери, вимірювальні перетворювачі і т.д. Для того, щоб ці пристрої могли функціонувати спільно, вони повинні мати загальний стандартний інтерфейс.

Під стандартним інтерфейсом мається на увазі сукупність правил (протоколів) і програмного забезпечення процесу обміну інформацією між функціональними блоками (ФБ), а також відповідних технічних засобів сполучення в системі.

Основна функція інтерфейсів – забезпечувати:

- інформаційну;
- електричну;
- конструктивну сумісність компонентів системи.

Інформаційна сумісність – погодженість дій функціональних елементів відповідно до сукупності логічних умов.

Електрична сумісність – погодженість статичних і динамічних параметрів електричних сигналів у системі шин з урахуванням обмежень на просторове розміщення пристроїв інтерфейсу і технічну реалізацію приймально-передавальних елементів.

Конструктивна сумісність – погодженість конструктивних елементів, призначених для забезпечення механічного контакту з'єднань і механічної заміни схемних елементів, блоків і пристроїв.

При побудові інтерфейсів використовують наступні принципи: принцип модульності, принцип програмного управління і принцип магістральності.

Будь-яка ІВС є об'єднанням аналогових, цифрових і аналого-цифрових ФБ. Отже, для ІВС потрібно мати інтерфейси, що забезпечують

спільну дію всіх названих ФБ.

Велика увага приділяється розробці цифрових інтерфейсів, що забезпечують спільну роботу цифрових ФБ і цифрових частин аналогових і аналого-цифрових ФБ.

Це пов'язане з тим, що в сучасних ІВС велика частка службової інформації, необхідної для управління роботою блоків системи, представляється в цифровій формі.

В інтерфейсах виділяються дві магістралі: інформаційного каналу і управління інформаційним каналом. По інформаційній магістралі передаються коди адрес, команд, даних, стану. Аналогічні назви мають відповідні шини інтерфейсів.

Шина адреси призначена для вибірки в магістралі вузлів, пристроїв, комірок пам'яті.

Шина команд використовується для управління операціями на магістралі.

Шини даних використовуються для передачі в двійкових коді. Як правило, у паралельних інтерфейсах дані кратні байту (8, 16, 24, 32 розрядів), у деяких інтерфейсах байти супроводжуються бітами парності (паритету), а також ідентифікаторами розрядності (по кількості байтів) переданих даних (1, 2, 3, 4 байт).

Шина стану використовується для передачі повідомлень, що описують результат виконання операції на інтерфейсі або стану пристроїв сполучення.

У більшості інтерфейсів коди адрес, даних, команд, станів передаються по шинах інтерфейсу з поділом часу в режимі часового мультиплексування сигналу. Передача проводиться по одних і тих же лініях з використанням додаткових ліній для ідентифікації типу переданої інформації. При цьому істотно скорочується кількість ліній інформаційної магістралі, однак відбувається зниження швидкодії передачі даних.

Магістраль управління інформаційним каналом по функційному призначенню поділяється на наступний ряд шин: управління обміном, передачі управління, переривання, управління режимом роботи, спеціальних сигналів.

Шина управління обміном містить у собі лінії синхронізації передачі інформації.

Шина передачі управління використовується для реалізації операцій пріоритетного заняття магістралі.

Шина переривання застосовується в основному в системних інтерфейсах ЕОМ і програмно-модульних системах управління і виміру для ідентифікації пристроїв, що запитують сеанс зв'язку.

Шина управління режимом роботи і спеціальних сигналів управління містить лінії, що забезпечують працездатність інтерфейсу.

Різноманіття інформаційних систем є основною причиною того, що

в даний час розроблено і продовжується розробка великої кількості інтерфейсів.

7.2 Класифікація інтерфейсів

Виділяють наступні основні класифікаційні ознаки інтерфейсів:

- характер управління (централізований, децентралізований);
- система шин для інформаційних і службових потоків (об'єднана, роз'єднана);
- спосіб з'єднання компонентів (магістральний, радіальний, ланцюговий, змішаний або комбінований);
- спосіб передачі інформації (паралельний, послідовний);
- режим передачі інформації (двоспрямований, односпрямований);
- принцип обміну інформацією (асинхронний, синхронний);
- тип ЕОМ, що використовується (будь-який, проблемно-орієнтований);
- джерела живлення (уніфіковані, спеціалізовані);
- наявність або відсутність уніфікації конструкції.

Зазначені ознаки характеризують тільки визначені аспекти організації інтерфейсів. Більш повна характеристика і класифікація інтерфейсів базується на сукупності декількох основних ознак: область поширення або функціональне призначення; логічна і функціональна організація; фізична реалізація.

Розглянемо більш докладно перераховані вище основні ознаки класифікації інтерфейсів.

У централізованих інтерфейсах здійснюється програмне управління роботою усіх ФБ і є можливість зміни не тільки алгоритмів роботи, але і складу ФБ, використовуваних у ІВС.

В інтерфейсах з децентралізованим управлінням обробка інформації й обмін інформацією між ФБ проводиться без особистої участі пристрою управління. У системі визначаються пріоритети для кожного активного ФБ, і виділяється «арбітр» – ФБ, що визначає в необхідних випадках послідовність роботи ФБ. Таку роль виконує центральний процесор.

Система шин може бути використана для обміну як інформаційними, так і службовими сигналами. Це – об'єднана система шин. Але в деяких інтерфейсах для проходження інформаційних і службових потоків сигналів використовується роздільна система шин. Організація обміну інформацією в таких системах шин може відрізнятись одна від одної.

Об'єднання ФБ між собою може бути виконане з допомогою інтерфейсних пристроїв ІФП в наступних варіантах: радіальна структура, магістральна і радіально-магістральна (змішана) структури, ланцюгова структура.

Магістральна структура може бути як з централізованим, так і з децентралізованим управлінням.

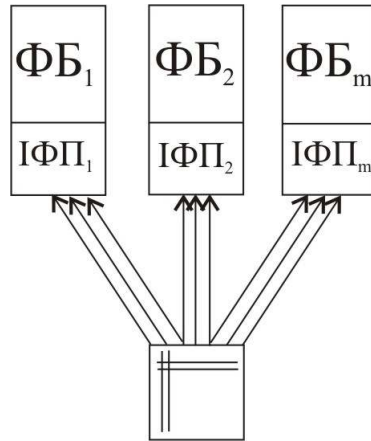


Рисунок 7.1 – Радіальна структура шин

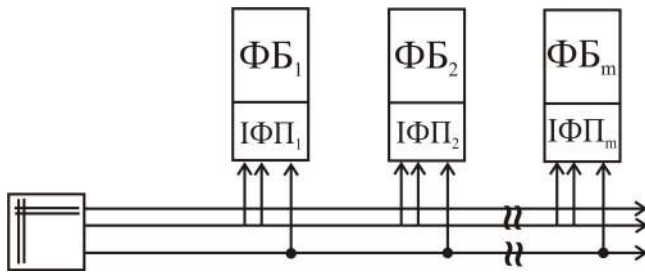


Рисунок 7.2 – Магістральна структура з централізованим управлінням

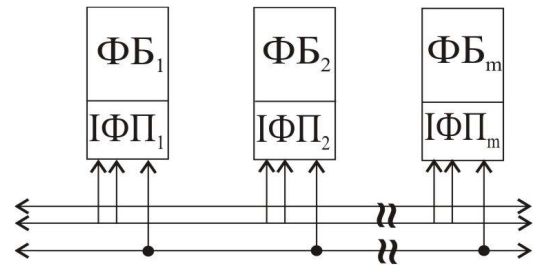


Рисунок 7.3 – Магістральна структура з децентралізованим управлінням

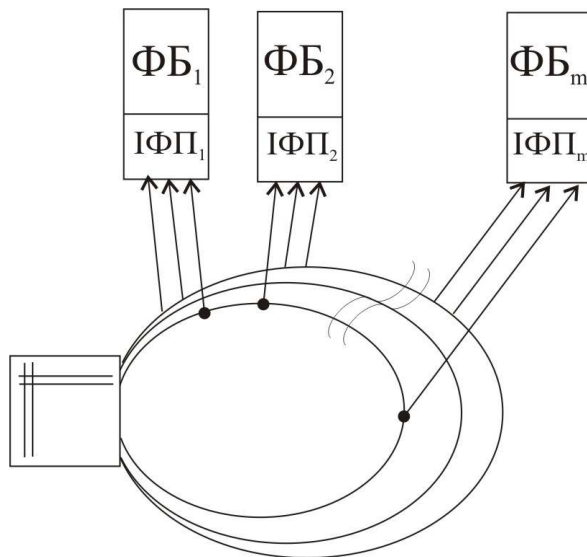


Рисунок 7.4 – Магістральна структура форми петлі з централізованим управлінням

Обмін інформацією між ФБ у централізованих ІВС може бути здійснений по індивідуальним (радіальним) або колективним (магістральним) системам шин.

Шина – кілька ліній сигналів, що виконують визначені функції (передача даних, команд, адреси і т.п.).

В індивідуальній (радіальній) системі для обміну інформацією використовуються шини, що пов'язують блок управління системою з кожним ФБ (рис. 7.1).

Колективна або магістральна система шин передбачає її використання для обміну інформацією між ФБ послідовно, з поділом переданих повідомлень за часом (рис. 7.2, рис. 7.3, рис. 7.4).

Варто помітити, що в інтерфейсах використовуються і змішані індивідуально-колективні системи шин, що дозволяють (за рахунок збільшення технічних засобів у порівнянні із системою колективних шин) спростити управління, програмне забезпечення і підвищити швидкодію (рис. 7.5).

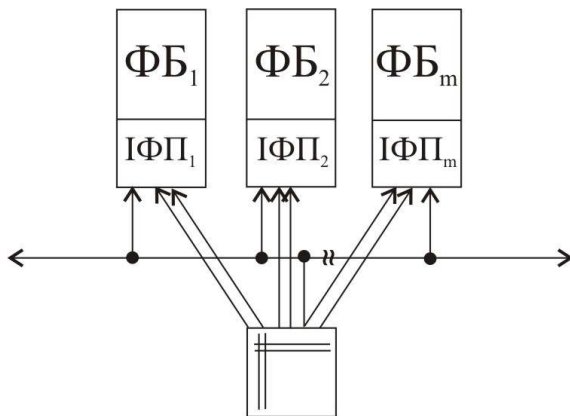


Рисунок 7.5 – Радіально-магістральна структура з централізованим управлінням

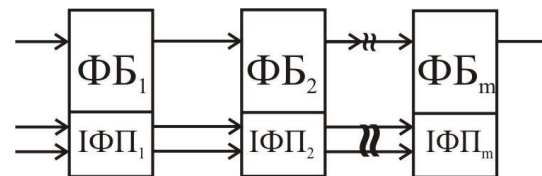


Рисунок 7.6 – Ланцюгова структура

Ланцюгова структура відноситься до структур з децентралізованим управлінням, у якій управління роботою наступного ФБ проводиться тільки після закінчення перетворення в попередньому ФБ. Як правило, ланцюгова структура містить інтерфейсні пристрої і шину управління (рис.7.6). При жорсткому з'єднанні блоків схема управління практично може бути відсутньою.

Операції обміну інформацією між ФБ можуть виконуватися послідовно (по бітах) або паралельно (по n біт одночасно). При послідовному виконанні таких операцій для обміну інформацією використовується одна лінія зв'язку і відбувається поділ сигналів у часі, а при паралельному – декілька ліній зв'язку, тобто реалізується поділ

сигналів у просторі.

Існує також байт-послідовний – біт-паралельний спосіб обміну інформацією: у кожному байті біти розташовуються паралельно, але байти передаються послідовно.

Стосовно інформаційних потоків можна виділити наступні основні різновиди функціональних блоків:

- ФБ-джерела інформації (ФБД), призначені для видачі інформації іншим ФБ системи;
- ФБ-приймачі інформації (ФБП), призначені для одержання інформації від інших ФБ системи.

Для ФБД і ФБП характерний односпрямований режим передачі інформації.

- ФБ-приймачі і джерела інформації, призначені для прийому і, після виконання визначених перетворень, видачі інформації. Характеризуються двоспрямованим режимом передачі інформації.

ФБ можуть бути активними (ініціюючими), що виступають ініціаторами в обміні інформаційними сигналами, і пасивними, що виконують операції обміну інформацією тільки по командах, що надходять ззовні.

Для передачі цифрової інформації між ФБ можливо використовувати синхронний і асинхронний методи.

При синхронній передачі сигналів у ланцюзі передача і прийом проводяться у фіксовані моменти часу, обумовлені синхронізуючими (стробуючими) імпульсами. При цьому розмір інтервалів між цими імпульсами трохи перевищує час, необхідний для передачі сигналу. Використання синхронного обміну інформацією підвищує перешкодостійкість передачі інформації і спрощує алгоритм дії системи.

Темп обміну інформацією при асинхронному методі визначається ФБП шляхом передачі від нього на ФБД сигналу квітірування про закінчення прийому інформації.

Деякі інтерфейси розраховані на те, що в системі можуть бути використані будь-які засоби обробки інформації – універсальні ЕОМ, спеціалізовані обчислювальні пристрої. Частіше інтерфейс забезпечує обмін інформацією в основному тільки з даною ЕОМ.

Уніфікація живлення ФБ, пов'язана з наявністю загальних джерел живлення на групу ФБ, істотно спрощує ФБ, але, як правило, ускладнює самі джерела живлення. Це пояснюється тим, що джерела живлення повинні мати визначену потужність, достатню для живлення повного набору ФБ.

Під конструктивною сумісністю мається на увазі стандартизація в рамках системи використовуваних розмірів, плат, модулів та інших конструктивів.

Існують інтерфейси, що не накладають обмеження на конструктивне

оформлення ФБ і їхньої сукупності.

7.3 Загальна характеристика послідовних інтерфейсів

Відповідно до прийнятої класифікації, інтерфейс з послідовним виконанням операцій обміну інформацією, або послідовний інтерфейс, має магістральну систему шин, що складається з однієї двоспрямованої або двох односпрямованих ліній сигналів, по яких передаються й інформаційні, і керуючі потоки.

Зменшення обсягу службової інформації можна домогтися шляхом регламентації послідовності і розмірів переданих сигналів. Підвищення швидкодії можна домогтися (не збільшуючи кількість ліній) завдяки використанню ліній зв'язку, що мають підвищену швидкість передачі інформації.

Наявність невеликої кількості ліній зв'язку в послідовному інтерфейсі дозволяє виконати їх з поліпшеним захистом від впливу перешкод.

Зокрема, використання скручених і екранованих дротів, коаксіального кабелю й інших засобів дозволяє забезпечити, як відомо, достатній для багатьох випадків практики захист ліній зв'язку від поперечних перешкод (перешкод наведення).

Для зменшення впливу синфазних (подовжніх) перешкод, обумовлених різницею потенціалів точок заземлення, можуть бути застосовані відомі методи гальванічного поділу ланцюгів за допомогою, наприклад, імпульсних трансформаторів, розділових конденсаторів, оптронів.

Для поліпшення завадостійкості в таких інтерфейсах доцільно підвищувати до припустимої межі рівень використовуваних сигналів.

Послідовні інтерфейси можуть бути виконані з розімкнутою або замкненою (у формі петлі) магістраллю, з одноступінчастою або багатоступінчастою адресацією поєднуваних ФБ. Петлева структура магістралі дозволяє підвищити надійність роботи системи, а багатоступінчаста адресація – зосередити у визначених місцях значну кількість ФБ.

Розглянемо найбільш розповсюджені послідовні інтерфейси.

7.4 Характеристика і функціонування інтерфейсу RS-232C

Інтерфейс RS-232C призначений для підключення апаратури, що передає або приймає дані (АПД – апаратура передачі даних), до кінцевої апаратури каналів даних (АКД), а також для зв'язку підсистем із пристроєм більш високого ієрархічного рівня. У ролі АПД може виступати комп'ютер, принтер, плотер і інше периферійне устаткування. У ролі АКД

звичайно виступає модем.

Кінцевою метою підключення є з'єднання двох пристроїв АПД. Повна схема з'єднання наведена на рис. 7.7.

Інтерфейс дозволяє виключити канал віддаленого зв'язку разом з парою пристроїв АКД, з'єднавши пристрої безпосередньо за допомогою нуль-модемного кабелю.

Нуль-модемний кабель – кабель, за допомогою якого з'єднуються два пристрої по послідовних портах (рис. 7.8).

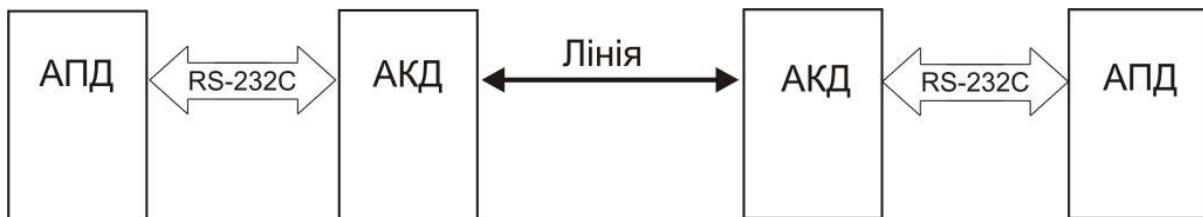


Рисунок 7.7 – Повна схема з'єднання по RS-232C

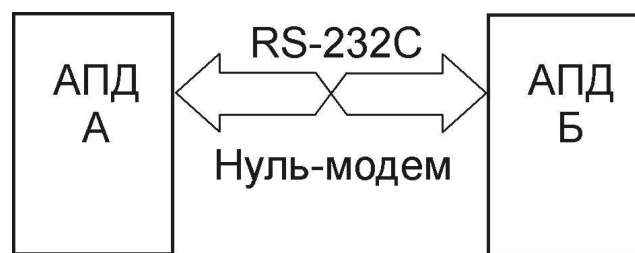


Рисунок 7.8 – З'єднання по RS-232C нуль-модемним кабелем

Стандарт описує керуючі сигнали інтерфейсу, пересилання даних, електричний інтерфейс і типи рознімів. Даний інтерфейс широко застосовується для синхронної й асинхронної передачі даних при двоточковому або багатоточковому з'єднанні периферійних пристроїв у дуплексному режимі обміну.

Для керування з'єднаними пристроями використовується програмне підтвердження (введення в потік переданих даних відповідних керуючих символів).

В RS-232C можлива організація апаратного підтвердження шляхом введення додаткових ліній для забезпечення функцій визначення статусу і керування.

Стандарт RS-232C описує несиметричні передавачі і приймачі – сигнал передається щодо загального дроту – схемної землі (симетричні диференціальні сигнали використовуються в інших інтерфейсах, наприклад, RS-422). Інтерфейс не забезпечує гальванічної розв'язки пристроїв.

Інтерфейс припускає наявність захисного заземлення для пристроїв, що з'єднуються, якщо вони живляться від мережі змінного струму і мають мережні фільтри.

Стандарт RS-232C регламентує типи застосовуваних рознімів.

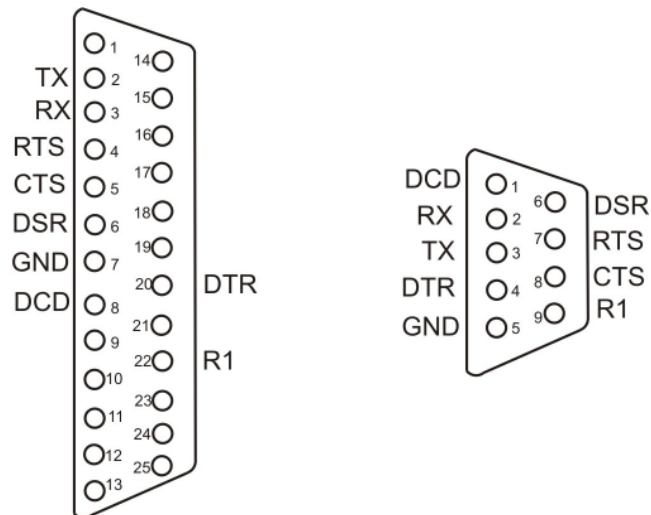


Рисунок 7.9 – Стандартні рознімання для підключення RS-232C

На апаратурі АПД прийнято встановлювати вижки DB25P або більш компактний варіант – DB9P. Дев'ятиштирькове рознімання не має контактів для додаткових сигналів, необхідних для синхронного режиму, хоча в більшості 25-штирькових рознімів ці контакти не використовуються (рис.7.9). На модемах установлюють розетки DB25S або DB9S.

Призначення контактів рознімання наведені нижче:

- FG – захисне заземлення (екран);
- Tx – передані дані в послідовному коді;
- Rx – прийняті дані в послідовному коді;
- RTS – сигнал запиту передачі. Активний весь час передачі;
- CTS – сигнал скидання (очищення) для передачі. Активний весь час передачі. Повідомляє про готовність приймача;
- DSR – готовність даних. Використовується для завдання режиму модему;
- SG – сигнальне заземлення, нульовий дрот;
- DCD – виявлення носія даних (детектування прийнятого сигналу);
- DTR – готовність даних на виході;
- RI – індикатор виклику.

Найчастіше використовується три- або чотирипровідний зв'язок (для двоспрямованої передачі). Схема з'єднання для чотирипровідної лінії зв'язку показана на рис. 7.10.

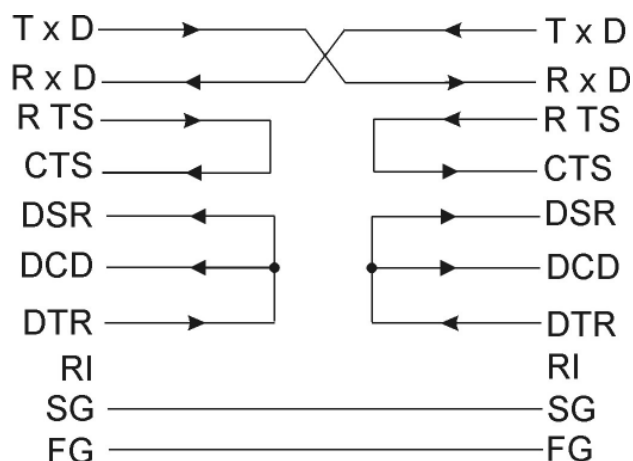


Рисунок 7.10 – Схема 4х-провідної лінії зв'язку для RS-232C

Формат даних, що передаються, показаний на рис. 7.11. Власне дані (5, 6, 7 або 8 біт) супроводжуються стартовим бітом, бітом парності й одним або двома стоповими бітами. Одержавши стартовий біт, приймач вибирає з лінії біти даних через визначені інтервали часу. Дуже важливо, щоб тактові частоти приймача і передавача були однаковими, припустима розбіжність – не більше 10%. Швидкість передачі по RS-232C може вибиратися з ряду: 110, 150, 300, 600, 1200, 2400, 4800, 9600, 19200, 38400, 57600, 115200 біт/с.

Усі сигнали RS-232C передаються спеціально обраними рівнями, що забезпечують високу перешкодостійкість зв'язку.

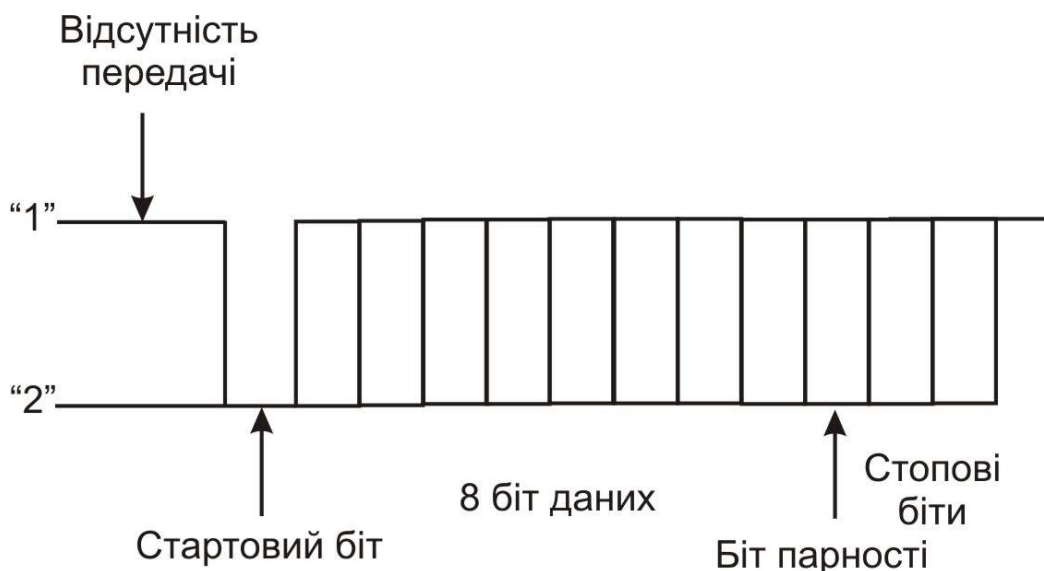


Рисунок 7.11 – Формат даних RS-232C

Асинхронний режим передачі є байт-орієнтованим (символьно-орієнтованим): мінімальна одиниця інформації, що пересилається – один байт (один символ).

Для асинхронного режиму прийнятий ряд стандартних швидкостей обміну: 50, 75, 110, 150, 300, 600, 1200, 2400, 4800, 9600, 19200, 38400, 57600 і 115200 біт/с.

Іноді замість одиниці виміру “біт/с” використовують “бод” (baud), але при розгляді двійкових переданих сигналів це некоректно. У бодах прийнято вимірювати частоту зміни стану лінії. Однак, при недвійковому способі кодування, широко застосовуваному в сучасних модемах, швидкості передачі біт (біт/с) і зміни сигналу (бод) можуть відрізнятися в кілька разів.

7.5 Загальна інформація про інтерфейси RS-422, RS-423 та RS-449

Інтерфейс RS-422 є розвитком стандарту RS-232C для високошвидкісної передачі даних на далеку відстань. Типові швидкості передачі даних по інтерфейсу RS-422 – 90 кбіт/с на відстань до 1200 м. По показникам топології, вартості, гнучкості, загальних технічних вимог і забезпечення засобами програмування інтерфейс RS-422 еквівалентний інтерфейсу RS-232C.

В даний час інтегральні схеми реалізації інтерфейсів RS-422 (стик C2) і RS-423 (стик C2-ИС) істотно розширюють застосування інтерфейсів для сполучення різних компонентів ІВС між собою і з зовнішнім устаткуванням підвищеної швидкодії.

Симетричний ланцюг RS-422 складається із симетричного генератора, з'єданого симетричним провідником із приймачем, і схеми порівняння. Максимальна довжина провідника кабелю обмежується в основному допустимим напруженням сигналу на прийомному кінці, впливом перешкод і різницею потенціалів заземлених точок передавача і приймача.

Несиметричні ланцюги RS-423 складаються з несиметричного генератора, з'єданого з приймачем з допомогою дроту і загального зворотного дроту.

Електричні характеристики розраховані на спільне використання симетричних і несиметричних ланцюгів в одному інтерфейсі, а також взаємне з'єднання пристроїв, що використовують симетричні і несиметричні генератори і приймачі. При цьому враховується, що довжина сполучного кабелю обмежується характеристиками несиметричних ланцюгів.

Інтерфейс RS-449 передбачає більшу кількість проводів в порівнянні з RS-232C, оскільки він забезпечує додаткові функціональні можливості.

7.6 Промисловий стандарт RS-485

Інтерфейс RS-485 – удосконалений варіант інтерфейсу RS-422. Він

забезпечує можливість збільшення довжини зв'язків і числа точок при поліпшенні завадостійкості.

Приїомопередавачі, що випускаються, сумісні по цоколівці виводів корпусів із приїомопередавачами для RS-422.

Диференціальна передача сигналу в системах на основі RS-485 і RS-422 забезпечує надійну передачу даних у присутності шумів, а диференціальні входи їхніх приймачів, крім того, можуть придушувати значні синфазні напруги.

Інтерфейс RS-485 є найбільш широко використовуваним промисловим стандартом, що використовує двоспрямовану збалансовану лінію передачі. Стандарт RS-485 підтримує напівдуплексний зв'язок (рис. 7.12).



Рисунок 7.12 – Схема двоспрямованої передачі даних і напівдуплексного зв'язку в інтерфейсі RS-485

У RS-485 передбачені наступні швидкості передачі: передача зі швидкістю 62,5 кбіт/с використовується при низькосортному зборі даних, 375 кбіт/с – при координації взаємодії елементів багатоточкової конфігурації, 2400 кбіт/с – для високошвидкісної синхронної передачі на короткі відстані, в основному команд керування.

Стандарт передбачає застосування 10-провідного плоского кабелю для додатків, де потрібні додаткові зв'язки по живленню, і сигнали контролю. Інтерфейс дозволяє приєднання до 250 вузлів у фізично розподіленій області із довжинами зв'язків від 30 м до декількох км.

Необхідно підкреслити, що послідовні інтерфейси доцільно використовувати головним чином при необхідності забезпечити обмін інформацією між ФБ при впливі сильних перешкод, а також при передачі інформації на відносно великі відстані при невисоких вимогах до швидкості обміну інформацією.

7.7 Інтерфейси периферійної частини комп'ютера, що використовуються у інформаційно-вимірвальних системах

Використання різних функціональних класів периферійних пристроїв, що відрізняються фізичними принципами роботи, швидкодією, рівнями сигналів, обумовили уніфікацію інтерфейсів периферійних пристроїв відповідних функціональних класів. Ці інтерфейси класифікують як спеціалізовані, або малі.

Вимога мінімізації числа типів контролерів, периферійних пристроїв, пристроїв введення-виводу і зовнішніх запам'ятовуючих пристроїв різних типів обумовили подальшу уніфікацію малих інтерфейсів і стандартизацію і/або застосування універсальних інтерфейсів різного призначення і швидкодії.

Інтерфейси периферійних пристроїв розділяються на дві великі категорії: радіального і магістрального підключення. У свою чергу інтерфейси радіального і магістрального підключення розділяються на групи: локального і віддаленого, послідовного і паралельного підключення. Основне призначення інтерфейсів периферійної частини ЕОМ – сполучення ЕОМ з іншими блоками ІВС.

Слід зазначити, що в периферійній частині ЕОМ використовуються інтерфейси, що у найбільшій мірі враховують особливості даної машини. При цьому автономна робота периферійних пристроїв, об'єднаних машинними інтерфейсами, не передбачається.

Стандартні послідовний і паралельний інтерфейси часто називають портами введення/виводу. Паралельний порт звичайно використовується для підключення принтера і працює в односпрямованому режимі, хоча може застосовуватися і як двоспрямований. До послідовних портів частіше підключаються двоспрямовані пристрої, що повинні як передавати інформацію в комп'ютер, так і приймати її.

Найбільш поширені інтерфейси, в основному використовувані для підключення функціональних груп периферійних пристроїв. Приведемо найбільш розповсюджені з них:

- універсальні – centronics (радіальний паралельний), RS-232 C (радіальний послідовний), IEEE-488 (паралельний магістральний локальний), SCSI (магістральний загального призначення), RS-422, RS-423, RS-485 (послідовні магістральні загального призначення);
- спеціалізовані – USB, IEEE 1394, FDDI, IBM PC, та ін.

Деякі з перерахованих вище інтерфейсів розглядалися нами докладно раніше, тому зупинимось на деяких універсальних і спеціалізованих інтерфейсах периферійної частини комп'ютера.

Асинхронний послідовний інтерфейс – це основний тип інтерфейсу, за допомогою якого здійснюється взаємодія між ЕОМ і периферійними пристроями. Термін “асинхронний” означає, що при передачі даних не

використовуються ніякі синхронізуючі сигнали і окремі символи можуть передаватися з довільними інтервалами, як, наприклад, при введенні даних із клавіатури.

Кожному символу, переданому через послідовне з'єднання, повинний передувати стандартний стартовий сигнал, а завершувати його передачу повинний стоповий сигнал. Стартовий сигнал – це нульовий біт, названий стартовим бітом. Його призначення – повідомити приймаючий пристрій про те, що наступні вісім бітів є байтом даних. Після символу передаються один або два стопових біти, що сигналізують про закінчення передачі символу. У приймаючому пристрої символи розпізнаються по появі стартових і стопових сигналів, а не по моменту їхньої передачі.

Асинхронний інтерфейс орієнтований на передачу символів (байтів), а при передачі використовується приблизно 20% інформації тільки для ідентифікації кожного символу. Термін “послідовний” означає, що передача даних здійснюється по одиночному провіднику, а біти при цьому передаються послідовно, один за іншим. Такий тип зв'язку характерний для телефонної мережі, у якій кожен напрямок обслуговує один провідник.

До послідовних портів можна підключити різноманітні пристрої: модеми, плотери, принтери, інші комп'ютери, пристрої зчитування штрих-коду або схему керування пристроями. В основному у всіх пристроях, для яких необхідний двоспрямований зв'язок з комп'ютером, використовується послідовний порт RS232C, що став стандартом, який дозволяє передавати дані між несумісними пристроями.

У паралельних портах для одночасної передачі байта інформації використовується вісім ліній. Цей інтерфейс відрізняється високою швидкістю, часто застосовується для підключення до комп'ютера принтера, а також для з'єднання комп'ютерів.

До паралельних портів можуть підключатися практично усі периферійні пристрої. Часто двоспрямований паралельний порт використовується для передачі даних між двома ЕОМ.

7.8 Характеристика універсального інтерфейсу SCSI

SCSI – Small Computer Systems Interface (системний інтерфейс для малих комп'ютерів) – інтерфейс, розроблений для об'єднання на одній шині різних по своєму призначенню пристроїв, таких як тверді диски, накопичувачі на магнітооптичних дисках, стримери, сканери і т.д. Інтерфейс призначений для з'єднання пристроїв різних класів: пам'яті прямого і послідовного доступу, CD-ROM, оптичних дисків одноразового і багаторазового запису, пристроїв автоматичної зміни носіїв інформації, принтерів, сканерів, комунікаційних пристроїв і процесорів. Застосовується в різних архітектурах комп'ютерних систем. Стандарт визначає не тільки фізичний інтерфейс, але і систему команд, що керує

пристроями SCSI.

Існує багато варіантів класифікації інтерфейсу SCSI, тому приведемо тільки одну з них: SE – інтерфейс, LVD – інтерфейс, HVD – інтерфейс, а в стандарті SCSI-2 навіть передбачена можливість виготовлення пристроїв зі змішаним інтерфейсом – LVD/SE.

У SCSI-системах прийнято поділяти всі пристрої на ініціатори (Initiator) і виконавці (Target).

У шині SCSI використовуються дев'ять сигналів керування, активним рівнем яких є низький рівень сигналу. Зосередимо увагу на сигнали I/O (Введення/Вивід), REQ (Запит), ACK (Підтвердження).

Асинхронна передача даних є обов'язковою для всіх пристроїв SCSI і усіх фаз передачі інформації. Target керує напрямком передачі інформації за допомогою сигналу I/O.

Синхронна передача даних є опцією і може використовуватися у фазах Data Out і Data In і тільки за результатами попередньої домовленості, що реалізується за допомогою повідомлень «Synchronous Data Transfer Request».

Система команд SCSI включає загальні команди, застосовні для пристроїв усіх класів, і специфічні для кожного класу. Усі команди поділяються на три категорії: обов'язкові, додаткові і фірмові.

7.9 Характеристика спеціалізованого інтерфейсу USB

В даний час для настільних і портативних комп'ютерів розроблено два високошвидкісних пристрої з послідовною шиною, що одержали назву USB (Universal Serial Bus – універсальна послідовна шина) і IEEE 1394, називана також Link або FireWare.

Можливості цих високошвидкісних комунікаційних портів набагато вищі стандартних паралельних і послідовних портів, що встановлені в більшості сучасних комп'ютерів.

Перевага нових портів полягає в тому, що їх можна використовувати як альтернативу SCSI для високошвидкісних з'єднань з периферійними пристроями, і в тому, що до них можуть приєднуватися всі типи зовнішніх периферійних пристроїв.

Паралельне з'єднання має ряд недоліків, одним із яких є фазовий зсув сигналу, через що довжина паралельних каналів, наприклад SCSI, обмежена (не повинна перевищувати 3 м).

Можливості USB впливають з її технічних характеристик:

- Висока швидкість обміну (full-speed signaling bit rate) – 12 Мбайт/с;
- Максимальна довжина кабелю для високої швидкості обміну – 5 м;
- Низька швидкість обміну (low-speed signaling bit rate) – 1,5 Мбайт/с;
- Максимальна довжина кабелю для низької швидкості обміну – 3 м;
- Максимальна кількість підключених пристроїв (включаючи

множники) – 127;

- Можливе підключення пристроїв з різними швидкостями обміну.

Тому доцільно підключати до USB практично будь-які периферійні пристрої, крім цифрових відеокамер і високошвидкісних жорстких дисків. Особливо зручний цей інтерфейс для підключення приладів, що часто підключаються/відключаються, таких як цифрові фотокамери, флеш і т.д. Конструкція рознімань для USB розрахована на багаторазове зчленовування/розчленовування.

Можливість використання тільки двох швидкостей обміну даними обмежує застосовність шини, але істотно зменшує кількість ліній інтерфейсу і спрощує апаратну реалізацію. Живлення безпосередньо від USB можливо тільки для пристроїв з малим споживанням, таких як клавіатури, миші, джойстики.

7.10 Лінії зв'язку

З лініями зв'язку пов'язана найбільша кількість несподіваних проблем. Із зростанням відстані, на яке передається сигнал, неминуче падає відношення сигнал-шум. Тому безпосередня передача сигналів по дротам і кабелям обмежена порівняно малими дистанціями. На відстані більше 500 м інформація повинна передаватися з використанням спеціального кодування, частотної модуляції й інших спеціальних заходів захисту.

У межах об'єкта (цеху, ділянки, установки) найкраще використовувати зв'язки з диференційними двохпровідними лініями або передачу струмовими сигналами.

При цьому треба врахувати рівні послаблення перешкод для низьких частот при різних способах екранування, орієнтовні відносні значення яких дані на рис. 7.13.

При прокладці ліній зв'язку варто врахувати, що існують три основних типи перешкод:

а) перешкоди від мережі й силового устаткування. Це типові індуктивні перешкоди ближнього електромагнітного поля. Їхня інтенсивність залежить від струму, що породжує поле, і від площі контуру, утвореного провідниками, що пересікаються полем. Тому основний метод боротьби з мережними перешкодами – зменшення числа замкнутих контурів з малими повними опорами (особливо небезпечні контури в шині землі). При скрутці дротів диференційної пари (або сигнального проводу із земляним) не тільки мінімізується площа контуру, але проводи на кожній ділянці скрутки виявляються орієнтованими в різні сторони стосовно перешкоди;

б) електричні або ємнісні перешкоди. Ці перешкоди часто викликаються ємнісними зв'язками між провідниками самої системи.

Площинне розташування елементів, плоскі багатожильні джгути (випускаються в готовому виді) і найпростіше екранування заземленими металевими екранами звичайно досить ефективні.

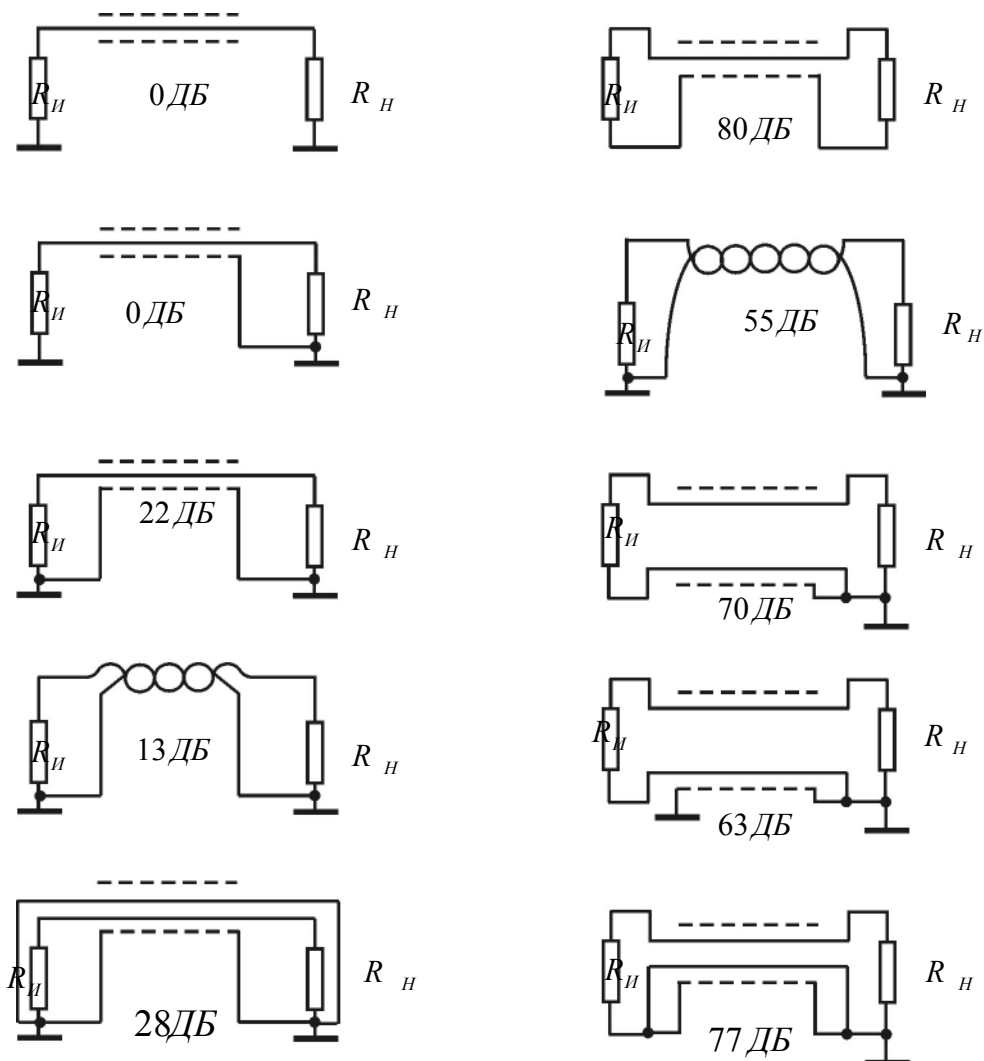


Рисунок 7.13 – Схема екранування ліній зв'язку (вказано подавлення індуктивних перешкод порівняльно з простою однопровідною схемою)

При малих відстанях між паралельно встановленими друкованими платами зі швидкодіючими цифровими елементами фронти перемикачів цих елементів «пролазять» із плати на плату у вигляді коротких імпульсів – «голок».

Кращий спосіб боротьби із цим явищем – установка між монтажними платами плат, що екранують, з фольгованого текстоліту із заземленим шаром фольги. Для передачі струмових аналогових сигналів можуть служити перетворювачі «напруга-струм» і «струм-напруга».

Якщо лінія служить для керування потужними імпульсними пристроями, наприклад кроковими двигунами, силовими реле й т.п., то крім перешкод, що попадають із лінії, багато проблем виникає з

перешкодами від самих цих пристроїв. У цих умовах варто використовувати оптрону гальванічну розв'язку на відповідних логічних виходах.

У схемотехніці використовуються серійні логічні елементи з оптронами парами на вході (наприклад, К262). Приклад використання такої схеми на рис. 7.14, а. У цій схемі гарантується замикання будь-яких струмів навантаження в контурі її джерела живлення E_H .

На рис. 7.14, б приклад використання оптронаї пари для зв'язку локального вимірювального пристрою із центральним процесором. Так само, як і в схемі рис. 7.14 а, тут передача логічних рівнів ведеться фактично струмом, і контури струмів джерела сигналу й прийомного пристрою замикаються незалежно.

в) високочастотні радіоперешкоди від ближніх телевізійних станцій, радіоапаратури, рентгенівських пристроїв і т.п. Їхній рівень залежить від довжини дротів-антен. Екранування тут звичайно малоефективне, і кращий спосіб боротьби з ними – установка феритових «бус» на довгі дроти. Помітимо, що на частотах до сотень кілогерц ці «бусини» не впливають на роботу самої схеми. При використанні екранованих кабелів варто враховувати внесену ними велику ємність, що навантажує джерело сигналу.

Деякі способи формування й прийому сигналів у лініях зв'язку також дані на рис. 7.14. На рис. 7.14,г наведене правильне підключення навантаження (зокрема, потужного реле, шукача, обмотки крокового двигуна, світлового сигналу) до системи. Каскад посилення потужності розташовується біля джерела сигналу, а не біля навантаження, тому остання фактично управляється струмом, а не напругою. При індуктивному навантаженні необхідно поставити діод для демпфірування викиду, як показано на схемі.

На рис. 7.14, д зображена схема організації зв'язку для логічних або ЧМ-сигналів з використанням диференціальної пари, у якій можуть використовуватися звичайні ТТЛ- або ТТЛШ-схеми й швидкодіючий компаратор. Установка резисторів на прийомному кінці обов'язкова: кручена пара діє як довга лінія із хвильовим опором близько 100-200 Ом, і резистори погасять можливі відбиття. До ліній зв'язку не можна безпосередньо приєднувати тактуючі елементи (тригери, одновібратори й т.п.), вони обов'язково повинні відділятися від лінії буферними каскадами.

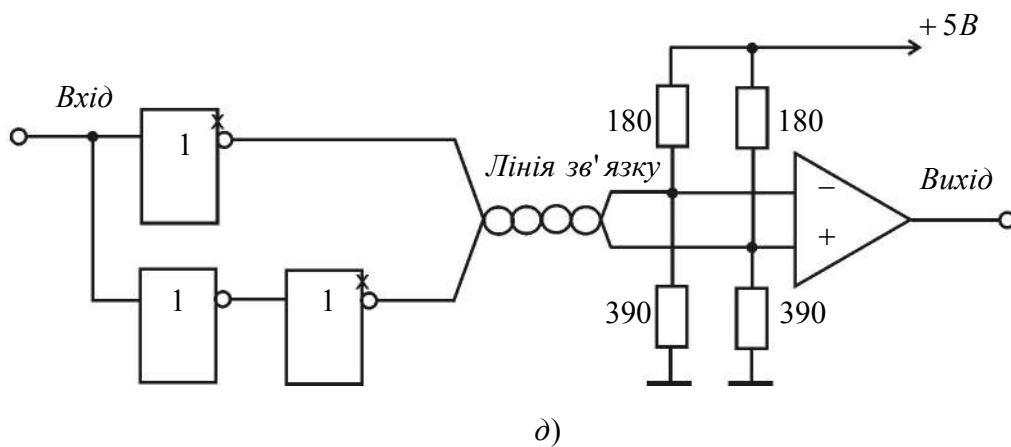
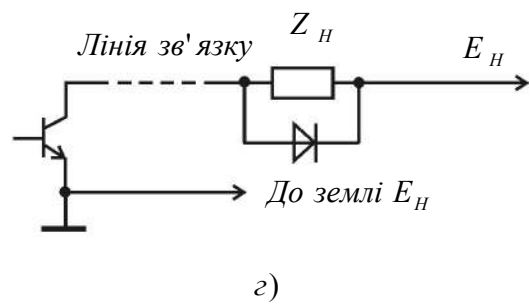
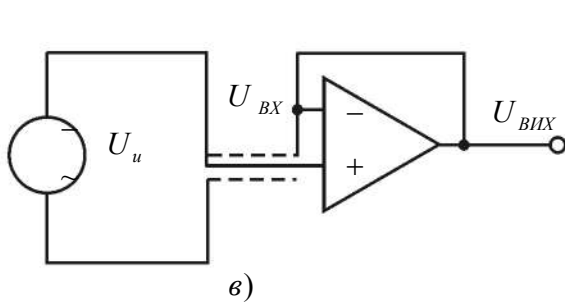
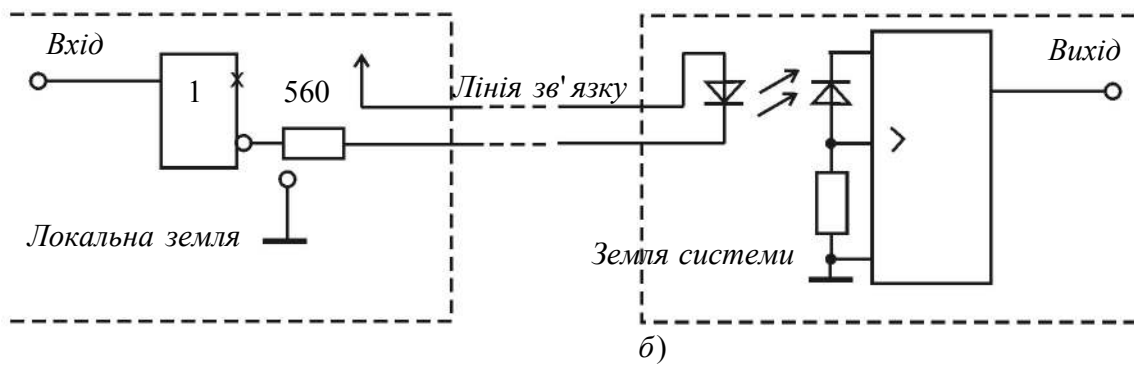
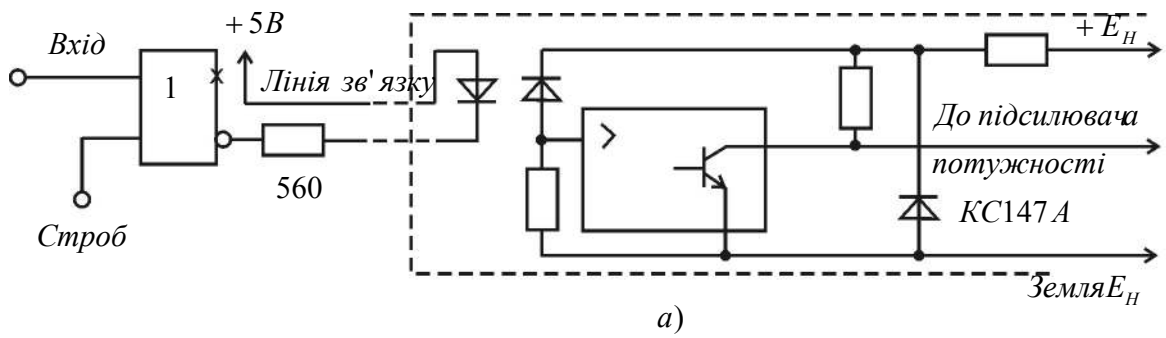


Рисунок 7.14 – Схеми завадостійкого зв'язку

7.11 Складання балансу похибок в інформаційно-вимірювальній системі

Призначення інформаційно-вимірювальної системи – перетворення сигналів, що надходять від датчиків, у стандартні види (нормалізація) для обробки в обчислювальних блоках або пристроях. У випадку аналогових вирішальних пристроїв – це шкала 0 ± 10 В, у випадку цифрових – код, прийнятий у системі. Сигнал, що надходить від датчика Д, проходить шлях, показаний на рис. 7.15, а. По лінії зв'язку ЛЗ1 він попадає на гальванічний роздільник ГР, де відбувається подавлення синфазної перешкоди, далі ключ комутатора Кл (якщо є комутатор), підсилювач-перетворювач сигналу П, лінія зв'язку ЛЗ2 і АЦП або аналоговий вирішальний блок (АР), наприклад регулятор. Можна вважати, що при належній організації системи похибки в передачі даних від АЦП в ЕОМ, мікроконтролер (МК) і т.д. – відсутні. Тут при необхідності застосовуються завадостійкі коди, спеціальні методи контролю й т.п. – прийоми не схемотехнічного плану.

Можливості кожної системи автоматички в остаточному підсумку визначаються точністю й швидкістю, з якими надходить інформація про об'єкт (значення його фазових координат).

Тут діє закон: при перетвореннях отриману інформацію можна тільки втрачати, і потрібно одержати дані про координату x із заданою відносною похибкою:

$$\delta = \Delta x / |x_{\max} - x_{\min}| \quad (7.1)$$

де Δx – абсолютна похибка.

Якщо величина δ є практично недосяжною, то визначається деяке компромісне значення. Наприклад, інформація про x пройшла N перетворень, поки не потрапила в МК або в АР, де виникають додаткові похибки (округлення й квантування – при цифровій обробці, від дрейфу, шумів і т.п. – в аналогових приладах). Якщо ці похибки незалежні, то можна грубо вважати, що в середньому

$$\delta_{\Sigma} \approx \sqrt{\sum_{i=1}^N \delta_i^2} \quad (7.2)$$

де δ_{Σ} – сумарна похибка на вході обчислювальної частини системи (наприклад, одного з регуляторів, розглянутих вище).

Величини δ_i – це відносні похибки окремих пристроїв і похибки, внесені перешкодами в лініях зв'язку:

$$\delta_{Л.С.} \approx U_{\text{дифф.пом}} / U_{\text{сигн}}$$

де $U_{\text{оцифр.пом}}$ – залишкова напруга перешкоди після ГР, фільтрів і т.д.; $U_{\text{сигн}}$ – напруга сигналу.

Зрозуміло, що частина зазначених на рис. 7.15,а компонентів і вузлів системи може бути відсутньою або деякі вузли можуть стояти на інших місцях.

У наведеній схемі всі п'ять вузлів створюють свою частку похибок, і обидві лінії зв'язку вносять свої частки шумів. Проблема полягає в одержанні похибок не більше заданої δ при мінімальних втратах. У складних випадках завдання може вирішуватися шляхом моделювання варіантів на ЕОМ, але звичайно практичні обмеження майже не залишають можливостей для вибору. Процедуру визначення δ_i , при заданому δ_Σ називають іноді складанням балансу похибок. Найчастіше вузьким місцем є первинний перетворювач – датчик Д, і на нього доводиться більша частина загальної похибки.

Вартість датчиків і устаткування різко зростає з підвищенням точності, а їхня надійність (середній час наробітку на відмову $1/\Lambda$) швидко падає. Ці тенденції особливо різко проявляються при $\delta_i < 0,001$ (0,1%). Простий і розумний підхід полягає в тім, що загальна похибка тракту нормалізації приймається рівної похибки датчика, а в АЦП – $\frac{1}{2}$ МЗР (половина кроку квантування за рівнем) – рівної 6σ усього устаткування, що знаходиться перед АЦП (також і датчик).

У завдання нормалізації сигналів, крім їх детектування й посилення, може входити й лінеаризація, тому що сигнали таких датчиків, як термопари, тензодатчики й т.д., можуть тільки в першому наближенні (при $\delta = 0,5 \div 5\%$) вважатися лінійно залежними від вимірюваної величини.

У випадках, коли $\delta_\Sigma = 0,5 \div 1\%$, лінеаризація може проводитися за допомогою аналогових нелінійних перетворювачів, що включаються в блок посилення П (за умови однотипності датчиків). Зокрема, так доцільно її проводити в системах з аналоговими регуляторами й вирішальними пристроями. У відповідальних випадках при малій загальній припустимій похибці має сенс лінеаризацію показань датчика проводити за допомогою таблиць слів, записуваних у ПЗУ, а вихід АЦП використовувати як адресу для вибору цих слів.

У схемі рис. 7.15,а сигнали із ЛЗ1 спочатку подаються на ГР, а потім ідуть на ключ комутатора. Таким чином, кожний датчик забезпечується індивідуальним ГР, схема якого вибирається залежно від типу сигналу, можливого рівня перешкод і необхідної точності.

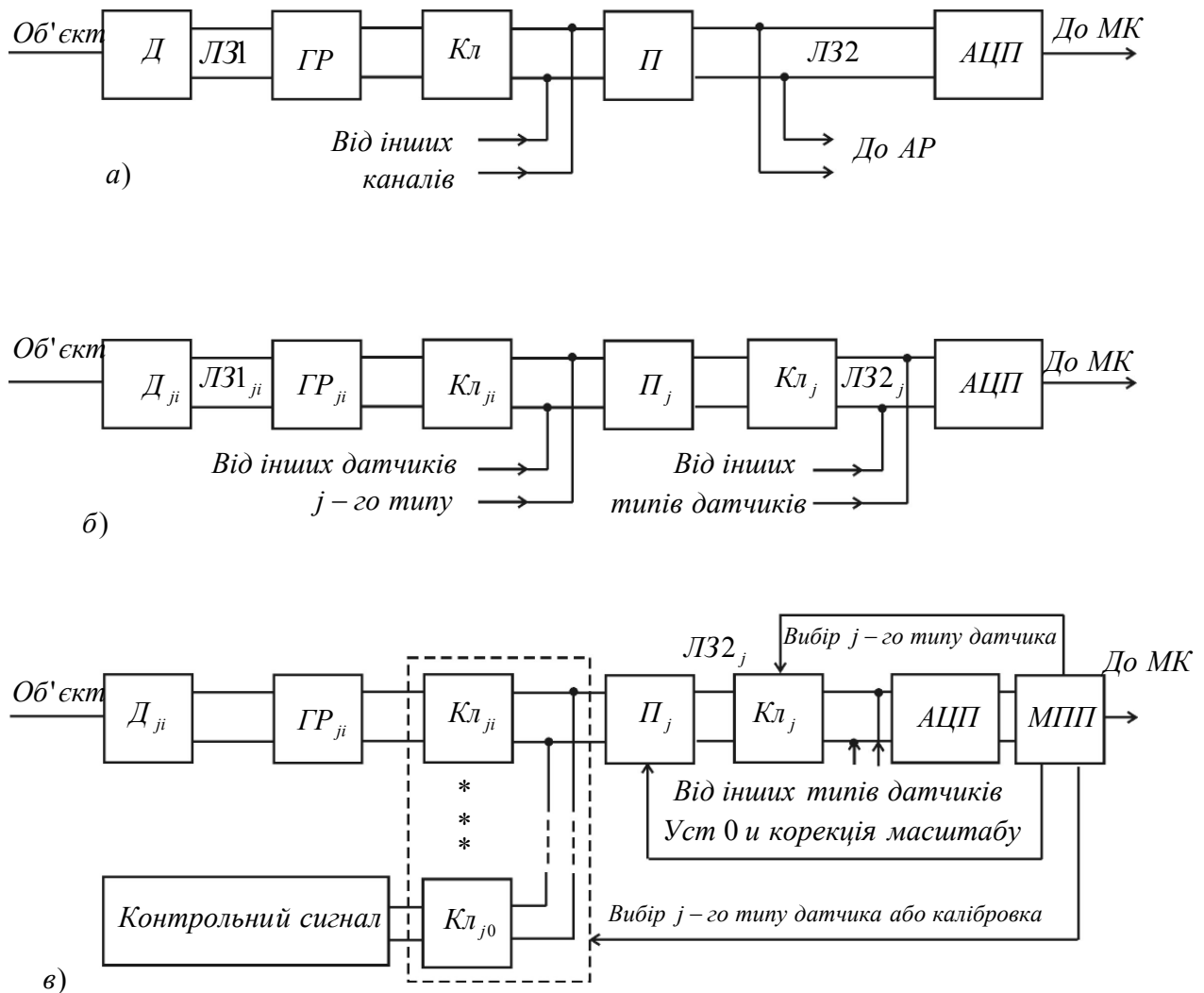


Рисунок 7.15 – Структури інформаційно-вимірювальних систем

Спроби ставити комутатор до ГР і робити останній груповим вузлом майже завжди ведуть до невдачі через труднощі організації живлення й управління комутатора, відірваного від землі системи. Комутатор ставиться або між індивідуальними ГР і підсилювачем-перетворювачем (при наявності однотипних датчиків), або після підсилювачів-перетворювачів, що нормалізують, у випадку багатьох типів датчиків. При цьому можлива двоступінчаста комутація (рис. 7.15 б).

Сигнали датчиків змінного струму досить великі, їхнє посилення не викликає труднощів, а для випрямлення використовуються схеми прецизійних детекторів на операційних підсилювачах ОП з наступним активним ФНЧ. Частотні сигнали детектуються ФАПЧ або розімкнутими демодуляторами. Якщо швидкості зміни сигналів невеликі, то досить мати одну схему детектування, що підключається до потрібного каналу через комутатор (груповий перетворювач). Важливо, щоб час установлення в каналі був досить малим в порівнянні з періодом опитування. Щоб подавити синфазну перешкоду, можна сигнали змінного струму

пропустити через трансформатори, що розв'язують, але в багатьох випадках досить простого диференціального підсилювача.

Складніше ситуація із сигналами постійного струму низького рівня. По-перше, тут потрібні дуже високі значення K_{OCC} – коефіцієнт ослаблення синфазного сигналу (від 80 до 200 дБ), по-друге, перешкоди й зсуви в ключових схемах мають один порядок із цими сигналами по абсолютній величині, по-третє, датчики постійного струму часто мають нелінійне градування, і при нормалізації цих сигналів потрібна лінеаризація. Перші дві обставини приводять до того, що кожному датчику обов'язково потрібний індивідуальний ГР і, можливо, підсилювач. При наявності локалізованої групи однотипних датчиків у межах 50 м і трансформаторних ГР із дуже високими K_{OCC} підсилювач може бути груповим, як показано на рис. 7.15, а й б. Для передачі даних на АЦП мікроконтролера в цьому випадку використовується сигнал постійного струму 4-20 мА (сам підсилювач може мати струмовий вихід).

У системах з великим числом датчиків і підвищеною точністю ($\delta_z < 0,25\%$) доцільно використовувати спеціалізований мікропроцесорний пристрій МПП для автопідстроювання. Він дозволяє замість великого числа дорогих і примхливих прецизійних групових і одноканальних підсилювачів і складних прецизійних комутаторів застосувати ОП й прості ИМС комутаторів. У такій системі (рис. 7.15,в) мікропроцесорний спеціалізований пристрій МПП не тільки забезпечує вибір каналу на двох рівнях комутації (j і i), вибір лінеаризуючого ПЗУ й т.д., але й періодично підключає кожний груповий підсилювач-перетворювач через один із ключів до каліброваного сигналу (часто – до 0 В) і запам'ятовує похибку. При опитуванні датчиків цей сигнал похибки віднімається з отриманого значення програмним шляхом. Цей же МПП може фіксувати вихід сигналу в одному з каналів за межі шкали й задавати (через ЦАП) необхідні зсуви, міняти чутливість підсилювачів-перетворювачів, виявляти несправні канали або давати відповідні аварійні сигнали. Для економії обсягів ПЗУ в цьому випадку лінеаризація даних проводиться програмно в МПП (шляхом зворотного функціонального перетворення), а схема АЦП спрощується, тому що функції його цифрових вузлів бере на себе МПП. При достатній швидкодії МПП може виконувати й функції керування й корекції вимірювальних каналів, і керуючого пристрою.

7.12 Стандартні інтерфейси мікроконтролерів

Більшість мікропроцесорних систем безпосередньо зв'язуються з датчиками і вихідними пристроями. Проте, існує з десятків стандартних інтерфейсів, застосовуваних в промислових пристроях. Блоки для обміну даними по якому-небудь інтерфейсу зазвичай вбудовуються в промисловий комп'ютер (industrial PC) або програмований логічний

контролер (ProgrammableLogicController, PLC).

7.12.1 Інтерфейс IEEE 1451.2

Інтерфейс IEEE 1451.2 є відкритим стандартом, що забезпечує зв'язок з датчиками і виконавчими пристроями. Інтерфейс IEEE 1451.2 визначається протоколом електричних параметрів і протоколом обміну даними. Пристрій інтерфейсу IEEE 1451.2 з вбудованим мікропроцесором являє собою модуль, званий інтерфейсним модулем інтелектуальних датчиків (Smart Transducer Interface Module, STIM). Мікропроцесор модуля STIM підтримує фізичний зв'язок з датчиками і стандартний інтерфейс з системою управління. Кожен модуль STIM може підтримувати до 255 датчиків і виконавчих елементів.

Електричні параметри

Послідовний периферійний інтерфейс IEEE 1451 — 10-провідний синхронний послідовний інтерфейс. У інтерфейсі передбачена шина живлення +5 В, земля, канали введення і виведення даних, сигнал синхронізації, переривання і ін. Блоки IEEE 1451 STIM можна замінювати, не відключаючи джерел живлення. Кожен STIM здатний підтримувати багато (до 255) датчиків і виконавчих елементів.

Параметри датчиків

У специфікації на інтерфейс IEEE 1451 мається на увазі, що параметри датчиків мають бути заздалегідь описані в специфікації електроніки датчиків TEDS (Transducer Electronic Data Sheet, TEDS). У даній специфікації повідомляються реальні параметри датчиків, такі як верхня і нижня межі робочого діапазону, час підготовки до роботи, калібрувальна і часова інформація. У цій специфікації згадуються і додаткові параметри електроніки датчиків TEDS, що відносяться до датчиків та до майбутніх розширень стандарту.

Міжнародна система одиниць виміру СІ

Інформація, що проходить через пристрій інтерфейсу IEEE 1451, має бути виражена в міжнародній системі одиниць СІ. Реальний датчик може вимірювати температуру, напругу, струм, тиск, швидкість або інший фізичний параметр. Вимірювана величина має бути перетворена в одиниці СІ перед передачею в мікропроцесор по інтерфейсу IEEE 1451. Інтерфейсом підтримуються наступні виміри з одиницями виміру СІ:

- довжина (м);
- маса (кг);
- час (с);
- струм (А);
- температура (°К);
- кількість речовини (моль);
- сила світла (кд);

- плоский кут (радіан);
- просторовий (тілесний) кут (м²).

Будь-яку вимірювану величину потрібно виразити в одиницях СІ. Датчик може, наприклад, вимірювати швидкість в милях/год, проте ця величина має бути приведена *stim*-мікропроцесором до величини в м/с перед передачею по інтерфейсу IEEE 1451. Коли керуючий процесор зчитує дані з датчика IEEE 1451, передається рядок із значеннями порядків величин, по одному на кожну з величин.

У наведеному прикладі виміру швидкості у вихідному сигналі було б присутнє позитивне значення порядку для метрів і негативне для секунд. Всі інші значення порядків мають дорівнювати нулю.

У стандарті також визначений цифровий інтерфейс з датчиком і виконавчим пристроєм.

Незважаючи на те що цей метод скрутний для програмного забезпечення в *STIM*-процесорі, він використовується в стандартному інтерфейсі для керуючих процесорів.

7.12.2 Послідовний периферійний інтерфейс струмова петля 4-20 мА

В послідовному периферійному інтерфейсі струмова петля 4-20 мА використовується одна пара проводів для подачі живлення і для передачі сигналів (рис. 7.16). Необхідну напругу на парі проводів задає керуючий мікропроцесор, зазвичай промисловий РС. Контролер також вимірює струм в дротах.

Датчик повинен перетворювати вимірювану величину (температуру, швидкість і тому подібне) через струм. Датчик споживає 4 мА на одній межі вимірів і 20 мА на іншому.



Контролер вимірює струм в петлі

Рисунок 7.16 – Струмова петля 4-20 мА

Оскільки петля 4-20мА диференціальна, даний інтерфейс добре підходить для зчитування даних з віддалених датчиків. Багато видів шумів придушуються диференціальною системою вимірювання струму.

Недолік даного методу полягає в необхідності застосування двох проводів і чутливої системи вимірювання для кожного датчика.

7.12.3 Інтерфейс Fieldbus

Інтерфейс Fieldbus – послідовний двонаправлений цифровий інтерфейс для з'єднання апаратури виміру і управління, таких як датчики, виконавчі механізми, контролери. За ідеєю, інтерфейс Fieldbus покликаний замінити множинні з'єднання датчиків струмової петлі 4-20 мА на багатоканальну лінію для зчитування даних з багатьох датчиків по одному однопровідному кабелю (рис. 7.17). Специфікація на Fieldbus являє собою багаторівневу модель, що включає рівні фізичних з'єднань, зв'язку даних і додатків.

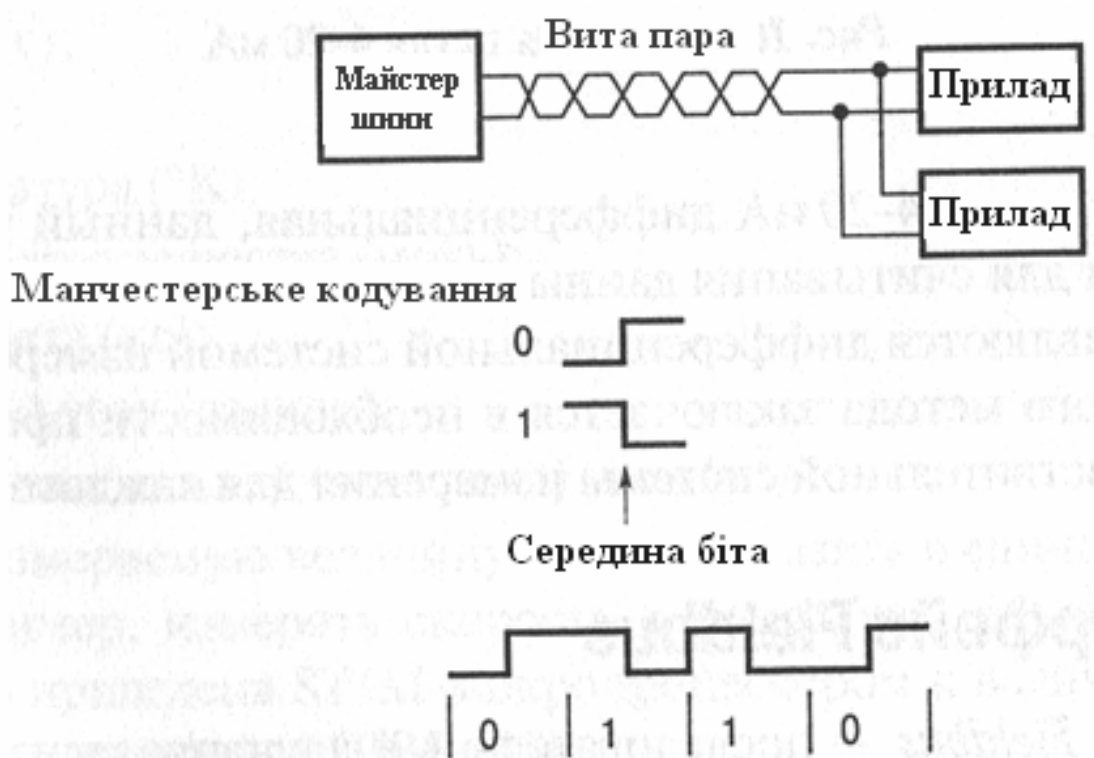


Рисунок 7.17 – Інтерфейс Fieldbus

В якості кабелю сполук інтерфейса Fieldbus використовується вита пара. Одна пара проводів служить одночасно і для живлення пристроїв, і для обміну даними.

Пристрої інтерфейсу Fieldbus споживають електроенергію джерела живлення так само, як і в струмовій петлі 4-20 мА. Передача даних здійснюється за рахунок зміни споживання струму передавальним пристроєм; різниця у споживанні струму між 0 і 1 складає 20 мА.

При кодуванні фазоманіпульованим кодом «Манчестер-2» швидкість передачі даних досягає 31250 біт/с.

У коді «Манчестер-2» перемикання логічних рівнів здійснюється в

середині біта. Одна з переваг даного коду в тому, що середня постійна величина пари сигналів дорівнює нулю, оскільки кожен біт знаходиться у ВИСОКОМУ логічному стані протягом половини періоду і в НИЗЬКОМУ логічному стані теж протягом половини періоду.

Код «Манчестер-2» відноситься до кодів з самосинхронізацією, тобто синхронізуючий тактовий сигнал виділяється з перепадів інформаційного повідомлення.

Відносно низька швидкість передачі даних дозволяє використовувати досить довгі лінії зв'язку, що важливе для створення систем управління на великих підприємствах, підрозділи яких розосереджені один від одного на декілька кілометрів.

На рис. 7.17 показаний код «Манчестер - 2» для біта 0 і 1, а також для послідовності 0110.

У інтерфейсі Fieldbus застосовується циклічне опитування (polling) і передача маркера в лінію зв'язку (tokenpassing). Майстри шини опитуваного (poll-) пристрою передають в інформаційному слові адресу цього запитуваного периферійного пристрою. Далі, пристрій може передати дані на шину лише після опитування одним з майстрів. Якщо на шині присутні одночасно багато майстрів, управління шиною проводиться по маркеру (token), «привласненому» одному з майстрів в даний момент часу. Коли майстер закінчує цикл використання шини, він посилає маркер-повідомлення наступному майстру, передаючи йому управління.

Поширені периферійні пристрої, що використовують шину Fieldbus, схожі з пристроями, що працюють по інтерфейсу 4-20 мА, і включають датчики і виконавчі пристрої, такі як датчики тиску, температури, пристрої виміру потоку і керовані клапани.

Контрольні запитання

1. Визначення стандартного інтерфейсу.
2. Призначення шин інтерфейсу.
3. Радіальна структура шин.
4. Магістральні структури шин з централізованим і децентралізованим управлінням.
5. Петлева структура шин.
6. Паралельний та послідовний обмін інформацією в інтерфейсах.
7. Синхронний метод передачі цифрової інформації в інтерфейсах.
8. Асинхронний метод передачі цифрової інформації в інтерфейсах.
9. Методи гальванічного поділу для зменшення впливу синфазних перешкод.
10. Використання скручених і екранованих дротів для захисту від перешкод наведення.
11. Призначення послідовного інтерфейсу і його склад.

12. Методи підвищення перешкодостійкості послідовних інтерфейсів.
13. Інтерфейс RS-232C, його призначення і функціонування.
14. Надайте опис стандарту RS-232C.
15. Стандартні рознімання інтерфейсу RS-232C.
16. Компоненти формату даних в RS-232C, що передаються.
17. Як Ви розумієте одиниці виміру швидкодії «біт/с» і «бод»?
18. Інтерфейс RS-422 як розвиток стандарту RS-232C.
19. Основні відміни стандартів RS-422 і RS-423.
20. Основні відміни інтерфейсу RS-449 від RS-232C.
21. Промисловий стандарт RS-485 і його можливості.
22. Інтерфейс RS-485 як удосконалений варіант інтерфейсу RS-422.
23. Інтерфейси периферійної частини комп'ютера.
24. Характеристика спеціалізованого інтерфейсу USB.
25. Лінії зв'язку інформаційних систем.
26. Стандартні інтерфейси мікроконтролерів.
27. Послідовний периферійний інтерфейс струмова петля 4-20 мА.
28. В чому полягають особливості манчестерського кодування?

8 Забезпечення завадостійкої передачі інформації при проектуванні АСМНС

Обчислювальний пристрій, що виконує прийом і обробку отриманої інформації, може розташовуватися на значній відстані від об'єкта контролю. Тому необхідно забезпечити перешкодозахищену передачу показань датчиків в обчислювальний пристрій на велику відстань. Для цього використовуються різні апаратні засоби, спеціальні алгоритмічні способи обробки інформації, застосовуються перешкодозахищені коди.

8.1 Апаратні способи перешкодозахищеної передачі даних

На початковій стадії проектування перед розроблювачем пристроїв передачі інформації виникає ряд питань, однозначні відповіді на які дати досить важко.

Наприклад, який вибрати метод передачі:

- послідовний або паралельний;
- асинхронний, синхронний або старт-стопний;
- чи можна застосовувати для передачі відеоімпульси або варто використовувати модульовані сигнали тональної, високої або надвисокої частот?

Відповідь залежить від сукупності додаткових умов, що обмежують розроблювача. Так, наприклад, при наявності фізичної лінії зв'язку

найбільш доцільно передачу даних здійснювати відеоімпульсами, використовуючи дворівневу або багаторівневу амплітудну модуляцію, що дозволить істотно спростити апаратурну реалізацію пристрою передачі інформації. Якщо передача даних буде здійснюватися по стандартних каналах тональної частоти або по широкополосних каналах зв'язку, то в цьому випадку необхідно обов'язково застосовувати модуляцію, тому що необхідно здійснити перенос спектра сигналів передачі даних у смугу частот займаного каналу зв'язку.

Для забезпечення високої завадостійкості й швидкості передачі даних при транспортуванні великих масивів повідомлень варто будувати синхронні пристрої передачі даних. Застосування асинхронного методу дозволяє значно скоротити апаратурні витрати, однак через низьку завадостійкість його доцільно застосовувати при швидкості модуляції не вище 50 Бод.

В автоматизованих інформаційних системах, що працюють у діалоговому режимі, при передачі коротких повідомлень (десятки й сотні біт) з низькою (до 600 Бод) швидкістю, з метою спрощення апаратури й зниження її вартості, забезпечення миттєвої готовності до роботи має сенс застосовувати старт-стопний метод передачі.

При виборі послідовного або паралельного методу варто пам'ятати, що при послідовному методі одиничні елементи кодової комбінації передаються послідовно в часі один за іншим, що дозволяє передавати n_p -розрядну комбінацію по одному каналі зв'язку, а при паралельному методі одиничні елементи всієї кодової комбінації передаються паралельно, тобто одночасно, для чого буде потрібно n_p підканалів. Обидва методи теоретично забезпечують однакову пропускну здатність, тому що у випадку рівності довжин одиничних елементів час передачі при послідовному способі в n_p раз більше, ніж при паралельному, але потреба в каналах у n_p раз менша. Якщо ж заданий час передачі, то тривалість одиничних елементів при послідовному методі повинна бути в n_p раз менше, ніж при паралельному, а смуги частот каналу зв'язку при послідовному методі в n_p раз більше, ніж для кожного з n_p паралельних підканалів.

Перевагами послідовного способу передачі перед паралельним є:

- більш проста апаратурна реалізація за рахунок меншого числа функціональних вузлів (модуляторів, демодуляторів і фільтрів);
- більша перешкодозахищеність одиничного елемента внаслідок передачі його в канал зв'язку з максимально припустимою потужністю;
- при паралельному способі з n_p підканалами сигнал у кожному підканалі повинен передаватися з n_p раз меншою потужністю, щоб уникнути перевантажень каналу зв'язку.

У той же час послідовний спосіб володіє рядом істотних недоліків:

- необхідність додаткового перетворення частоти на передавальній і приймальній сторонах для боротьби із крайовими перекручуваннями одиничних елементів, що виникають за рахунок низького відношення несучої частоти до частоти модуляції;
- тверді вимоги до рівномірності АЧХ і ФЧХ і їхньої стабільності;
- складність схеми синхронізації.

Паралельний спосіб володіє рядом переваг перед послідовним, а саме:

- більша тривалість одиничного елемента τ_0 за умови однакової з послідовним способом сумарною швидкістю передачі, що дозволяє знизити вимоги до рівномірності АЧХ і ФЧХ каналу й відмовитися від застосування складних схем корекції амплітудних і фазових перекручувань;
- менша чутливість до завмирань сигналу й короткочасних перерв, а також до імпульсних перешкод, що дозволяє істотно спростити пристрій виправлення помилок, а в ряді випадків і виключити його, зменшивши тим самим складність і вартість апаратури передачі даних.

Істотним недоліком паралельного способу, що обмежує його застосування, є швидкий ріст необхідної смуги частот і складність апаратури зі збільшенням кількості позицій сигналів.

Послідовний спосіб передачі кращий при передачі інформації з каналів зв'язку з відносно гарними й стабільними характеристиками.

Для передачі даних на невеликі відстані, при використанні каналів з низькою якістю, при передачі даних по радіоканалах з рухливих об'єктів у багатьох випадках доцільно використовувати паралельний спосіб.

Досить перспективними є пристрої передачі даних з послідовно-паралельним способом передачі, при якому частина бітів кодової комбінації передається паралельними послідовними, які у свою чергу впливають один за одним. Це дозволяє об'єднати переваги послідовного й паралельного способів.

Вид модуляції сигналів у пристроях передачі даних для кожного конкретного випадку проектування вибирається на основі окремих критеріїв, тому що єдиного критерію, що узагальнюється, для порівняння різних видів модуляції, якими можна було б скористатися на практиці, немає.

У якості таких критеріїв найпоширенішими є:

- завадостійкість;
- необхідна смуга частот;
- відносна складність апаратури.

Вирішальним фактором при визначенні методів модуляції є завадостійкість. Імовірність помилкової реєстрації, що допускається, може бути забезпечена шляхом застосування різних методів модуляції, що

відрізняються питомою швидкістю, складністю апаратури й інших параметрів. Найменшою завадостійкістю володіють пристроєм передачі даних з амплітудною модуляцією. Найбільшою перешкодозахищеністю володіє метод фазової модуляції із двома бічними смугами. Частотна модуляція займає проміжне значення по завадостійкості, а її реалізація простіша в порівнянні з фазовою модуляцією.

Перевагою частотної модуляції є також незалежність коефіцієнта похибок від зрушення частоти в каналі зв'язку й стрибків фази.

Ці ж збурювання у фазових пристроях передачі даних приводять до появи похибок. Тому методу частотної модуляції віддають перевагу при передачі по каналах тональної частоти, що комутуються.

8.2 Кодування корисної інформації

Проблеми, що виникають при передачі інформації з каналів зв'язку з перешкодами, ставлять додаткові вимоги до методів кодування. Для захисту корисної інформації від перешкод необхідно в тім або іншому виді вводити надмірність: збільшувати число символів і час їхньої передачі, повторювати цілі повідомлення, підвищувати потужність сигналу – все це веде до ускладнення й подорожчання апаратури.

Ускладнення апаратури веде до збільшення кількості відмов через зменшення надійності її роботи. Тому надійність системи зв'язку визначається не тільки ймовірністю правильного прийому, але й ймовірністю безвідмовної роботи апаратури.

Теоретично можна приймати сигнали при будь-якому рівні перешкод з як завгодно високою точністю, але необхідну точність потрібно визначати обов'язково з урахуванням надійності апаратури й економічної виправданості витрачених коштів.

Надійність системи зв'язку можна збільшити, підвищивши надійність прийому окремих символів. Цього можна домогтися, наприклад, за рахунок збільшення потужності або тривалості сигналу або надійності прийому груп символів і цілих повідомлень, використовуючи спеціальні методи кодування.

У телемеханіці для збільшення надійності переданих повідомлень широко застосовують числові захисти, які являють приклад найбільш часто використовуваного способу введення штучної надмірності – збільшення числа символів переданого повідомлення.

По числу якісних ознак дискретні коди розділяються на дві основні групи: двійкові ($m = 2$) і із числом якісних ознак $m > 2$.

На практиці двійкові коди застосовують значно частіше, ніж коди з довільною кількістю якісних ознак. Це пов'язане з тим, що двійкові коди є дуже зручними як при передачі сигналів на відстань, так і при побудові цифрових пристроїв і автоматів. Пристрої дискретної техніки легко

вирішують завдання вибору одного із двох стійких станів, а електронні елементи легко реалізують операції двійкової логіки завдяки наявності двох станів.

По способам декодування двійкові коди можуть бути розділені на блокові й безперервні. Основне розходження між блоковими й безперервними кодами полягає в тім, що перші можна декодувати лише після того, як на дешифратор надійде все кодове слово, а другі – у процесі надходження кодової комбінації.

Рекурентні коди відрізняються від інших коригувальних кодів тим, що формування перевірочних елементів здійснюється не в межах однієї кодової комбінації, а шляхом підсумовування двох або декількох інформаційних елементів, зрушених відносно один одного на відстань, що дорівнює кроку додавання. Крок додавання визначає кількість елементів, уражених перешкодою, що даний код ще може прийняти. Рекурентні коди здатні виправляти групові помилки.

Найбільший практичний інтерес представляють код Хеммінга, лінійні групові коди й циклічні коди.

Найбільш просто рекурентні коди реалізуються при однакових числах інформаційних і перевірочних символів і надмірності, що дорівнює двом. Такі коди називаються ланцюговими. Ланцюгові коди одержали широке поширення в пристроях передачі дискретної інформації.

Блокові коди являють собою велику групу двійкових кодів, у яких кожне повідомлення передається строго певним набором символів, і залежно від способу поділу перевірочних символів діляться на роздільні коди й нероздільні коди. У роздільних кодах інформаційні розряди й перевірочні позиції завжди розташовані на тих самих місцях. У нероздільних кодах визначення правильності прийнятого повідомлення виробляється по кількісному зіставленню певних якісних ознак у переданих і прийнятих повідомленнях.

До нероздільних кодів відносяться коди з постійною вагою, наприклад код Плоткіна. До цієї групи може бути віднесений і код Грея, що сам по собі не має коригувальну надмірність, але при відповідних обмеженнях може виявляти одиничні помилки.

Код Грея являє собою рефлексний код із двома якісними ознаками. У цьому коді кожна наступна комбінація відрізняється від попередньої комбінації одним символом. Такий код зручний при передачі телемеханічної інформації про процеси, що повільно змінюються. Як відомо, переважна більшість телемеханічних об'єктів має плавні характеристики, і для переданої телемеханічної інформації характерний плавний перехід від одного значення до іншого.

Коди з постійною вагою – рівномірні блокові коди з постійною кількістю одиниць у кожній кодовій комбінації. До таких кодів відносяться широко використовувані в телеграфії коди з постійним співвідношенням

разнополярних імпульсів.

Код Плоткіна – рівномірний блоковий код, що дозволяє ефективно коректувати симетричні й незалежні похибки. Широкого застосування він не знайшов, тому що вимагає для своєї реалізації складні декодувальні й кодувальні пристрої.

Роздільні коди діляться на систематичні й несистематичні.

Прикладом несистематичних роздільних кодів можуть служити коди Бергера. У цих кодах передані повідомлення розбиваються на підблоки. Звичайно підблоком буває стандартна шестирозрядна комбінація телеграфного коду. Перевірочні символи визначаються в результаті підсумовування підблоків і являють собою запис їхньої суми. Коди Бергера, подібно циклічним кодам, поширені в техніці передачі даних по телеграфних каналах і дозволяють виявити пакети похибок з довжиною пакета, що не перевищує довжини окремого підблока. Коди Бергера особливо ефективні для двійкових каналів з асиметричними похибками. До систематичних кодів відносяться коди Хемінга, Голея, Ріда - Мюллера, Макдональда, Варшамова, Елайеса, Галагера, а також велика група циклічних кодів.

Систематичні коди являють собою такі коди, у яких інформаційні й коригувальні символи розташовані по строго певній системі й завжди займають строго певні місця в кодових комбінаціях. Систематичні коди є рівномірними кодами, тобто всі комбінації коду із заданими коригувальними здатностями мають однакову довжину.

Систематичні коди відрізняються від рекурентних тим, що в них формування перевірочних елементів відбувається по інформаційних елементах кодової комбінації. У канал зв'язку йде n -елементна комбінація, що складається з n_1 - інформаційних або n_2 - перевірочних розрядів, тоді як у рекурентних кодах перевірочні елементи формуються шляхом додавання двох або декількох інформаційних елементів, зрушених друг від друга на відстань, що дорівнює кроку додавання. Крім того, у систематичних кодах перевірочні символи можуть утворюватися шляхом різних лінійних комбінацій інформаційних символів. Декодування систематичних кодів також засновано на перевірці лінійних співвідношень між символами, що знаходяться на певних перевірочних позиціях.

У випадку двійкових кодів цей процес зводиться до перевірки на парність. Якщо число одиниць парне, лінійна комбінація символів дає 0, у протилежному випадку - 1. Побудова систематичних кодів заснована на використанні властивостей двійкових кодів. Одна з найважливіших закономірностей систематичного коду впливає безпосередньо із правила додавання по модулі 2, а саме: сума по модулі 2 комбінацій систематичного коду завжди є комбінацією цього коду. Більшість систематичних кодів відображаються за допомогою виробляючої і перевірочної матриць.

Виробляючою, утворюючою і породжуючою називається матриця, за допомогою якої виробляється побудова коду.

У систематичних кодах надмірність вводять шляхом додавання деякої кількості символів, що забезпечують можливість робити n перевірок на парність. Перевірочні групи будують таким чином, щоб результати кожної перевірки на парність указували номер перекрученого символу.

У цьому випадку треба визначити порядковий номер елемента у вигляді деякого двійкового числа, а опитування зводиться до встановлення того, чи є в деякому числі перевірочний розряд.

Код Хемінга є одним з найпоширеніших систематичних кодів. Він має простий і зручний для технічної реалізації алгоритм виявлення й виправлення одиничної помилки.

Припустимо, необхідно виправити одиничну помилку бінарного коду. Такий код складається з n_i символів, що несуть інформацію, і n_k контрольних (надлишкових) символів. Усього символів у коді $n = n_i + n_k$.

При передачі коду може бути перекручений будь-який інформаційний символ. Однак може бути й такий варіант, що жоден із символів не буде перекручений, тобто якщо є всього n символів, то за допомогою контрольних символів, що входять у це число, повинне бути створене таке число комбінацій, щоб вільно розрізнити $n + 1$ варіант.

Лінійні групові коди є систематичними кодами. Варто звернути увагу на властивому великому класу систематичних кодів алгоритм корекції помилок, що відрізняється від інших систематичних, наприклад, коду Хемінга, циклічних кодів, які також є й систематичними, і лінійними.

Лінійними називаються коди, у яких перевірні символи являють собою лінійні комбінації інформаційних символів. Для двійкових кодів як лінійну операцію використовують додавання по модулю 2.

Циклічні коди одержали таку назву тому, що в них частина комбінацій коду або всіх комбінацій можуть бути отримані шляхом циклічного зрушення однієї або декількох комбінацій коду. Циклічне зрушення здійснюється справа наліво, причому крайній лівий символ щораз переноситься в кінець комбінації. Всі циклічні коди ставляться до систематичних кодів. У них контрольні й інформаційні розряди розташовані на строго певних місцях. Крім того, циклічні коди ставляться до числа блокових кодів. Кожний блок (одна буква є часткою блоку) кодується самостійно.

Контрольні запитання

1. Які варіанти методів передачі інформації може розглядати розроблювач пристроїв?
2. У яких випадках передачі інформації доцільно використовувати амплітудну модуляцію відеоімпульсів?

3. У яких випадках передачі інформації доцільно використовувати частотні методи модуляції?
4. Переваги синхронних пристроїв передачі даних.
5. Позитивні і негативні якості асинхронного методу передачі даних.
6. Що треба враховувати при виборі послідовного або паралельного метода передачі інформації?
7. Переваги і недоліки послідовного способу передачі інформації.
8. Переваги і недоліки паралельного способу передачі інформації.
9. Що таке послідовно-паралельний спосіб передачі інформації.
10. Які основні критерії розглядаються при проектуванні пристроїв передачі.
11. Як потужність і тривалість сигналу впливає на надійність передачі?
12. Вплив якості апаратури економічних витрат на надійність передачі.
13. Числові захисти шляхом введення штучної надмірності.

9 Алгоритми збору та обробки даних в АСМНС

Алгоритми збору й обробки даних призначені для реалізації завдань автоматичного збору даних з датчиків (вимірювальних перетворювачів) і наступної обробки їх в МПС.

Вони можуть використовуватися як самостійно, наприклад, у системах реєстрації й автоматичного контролю, системах обробки вимірювальної інформації, так і як складові частини загальної системи алгоритмів, призначених для реалізації завдань управління або інших складних завдань обробки даних.

Правильний вибір і кваліфіковане використання алгоритмів збору й обробки даних має важливе значення для успішного проектування АСМНС.

Розглянемо лише деякі з алгоритмів цієї групи, що є найбільш типовими для неї.

9.1 Циклічне та адресне опитування датчиків

Режим одержання даних, коли всі або деяка група датчиків, установлених на об'єкті, періодично опитується в строго певній і заздалегідь заданій послідовності, називається *циклічним опитуванням датчиків*.

Режим одержання даних, при якому опитується один або кілька датчиків, адреса (номер) яким указується оператором або визначається автоматично в ході виконання деякого алгоритму обробки даних, називається *адресним опитуванням датчиків*.

Для реалізації циклічного опитування датчиків необхідно вказати число опитуваних датчиків n , періодичність опитування кожного датчика й тривалість циклів $T_{ци}$.

Розглянемо задачу алгоритмізації циклічного опитування датчиків при постійному й однаковому для всіх періоді опитування з фіксацією результату опитування на документ.

Припинення роботи алгоритму задається спеціальною умовою $z = 1$. Ця ознака формується оператором.

На рис. 9.1 наведена схема алгоритму, яка отримана в результаті першого етапу алгоритмізації.

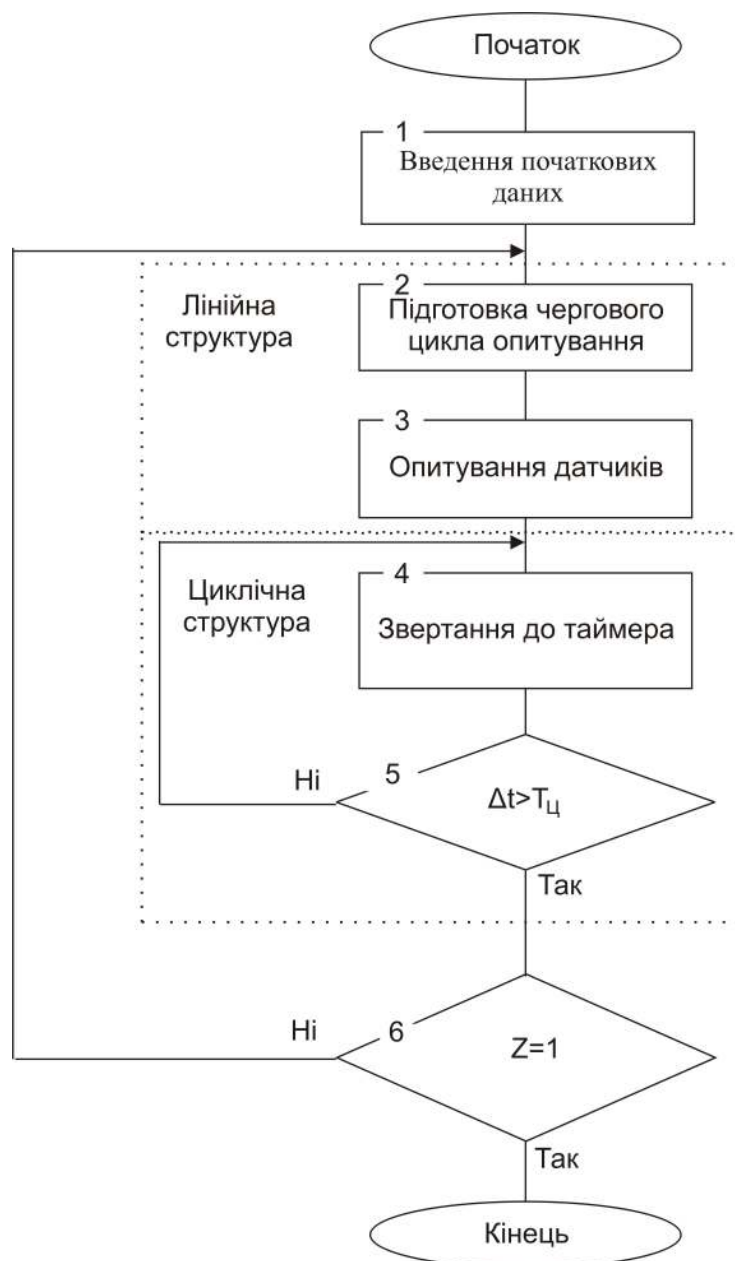


Рисунок 9.1 – Схема алгоритму циклічного опитування датчиків (1-й етап)

Схема вирішує задачі організації виконання циклічності опитування датчиків і виконання заданих параметрів тривалості циклу. Вона не розкриває процес опитування кожного з датчиків, це є змістом наступного етапу алгоритмізації.

Як видно з рисунку 9.1, алгоритм опитування датчиків на першому етапі будується із двох типових структур – лінійної й циклічної.

На рисунку 9.2 наведена схема алгоритму циклічного опитування датчиків, отримана в результаті виконання другого етапу алгоритмізації. Алгоритм адресного опитування датчиків будується аналогічно.



Рисунок 9.2 – Схема алгоритму циклічного опитування датчиків (2-й етап)

9.2 Визначення істинних значень вимірюваних величин за показниками датчиків

Як правило, інформація, що знімається з датчика, пов'язана з істинним значенням вимірюваної змінної x залежністю виду

$$y = \varphi(x),$$

де y – сигнал датчика; $\varphi(x)$ - у загальному випадку нелінійна функція.

Вимірюваною величиною є x , а не y . Тому значення x можна одержати, вирішивши рівняння

$$x = \varphi^{-1}(y).$$

Розглянемо способи рішення його при різних видах функції $\varphi(x)$.

У випадку лінійної функції зв'язок між x й y визначається як

$$y = y_0 + \alpha x,$$

де y_0 - початкове значення функції; α - постійний коефіцієнт, звідки

$$x = (y - y_0)\alpha^{-1}. \quad (9.1)$$

Для одержання x в пам'ять комп'ютера необхідно записати значення y_0 і α^{-1} , а потім обчислити їх за формулою (9.1).

У випадку нелінійної функції датчика істинне значення вимірюваної змінної залежить від характеру нелінійності. Якщо нелінійність аналітична, наприклад, виду $y = x^2$, то для одержання $x = \sqrt{y}$ можливе використання відомих методів наближеного обчислення \sqrt{y} . При іншому виді функції $\varphi^{-1}(y)$ також можна скористатися одним з відомих методів.

Якщо функція $\varphi^{-1}(y)$ не аналітична, то істинне значення вимірюваної змінної визначається з використанням або таблиць, або полінома, що апроксимує.

При використанні таблиць залежність $y = \varphi(x)$ визначається попередньо (звичайно експериментальним шляхом) і задається у формі таблиці значень:

$$x_1, y_1; x_2, y_2; \dots; x_n, y_n.$$

Алгоритм одержання істинного значення x будується у вигляді впорядкованого перебору табличних значень $y_i (i=1, \bar{n})$ і порівнянні їх із значенням датчика на виході. При виконанні умови $y_i \leq y \leq y_{i+1}$, $y := y_i$ або $y := y_{i+1}$.

Вибір значень y_i або y_{i+1} визначається прийнятим методом округлення. Наприклад, якщо $|y - y_i| \geq |y - y_{i+1}|$, то $y := y_{i+1}$, інакше $y := y_i$.

Знаючи номер y_i , найближчого до обмірюваного значення y , можна з таблиці визначити відповідне йому значення x_i .

Для зменшення обсягу таблиці число точок, що визначають характеристику датчика, намагаються задавати порівняно невеликим. У цьому випадку для підвищення точності визначення істинного значення вимірюваної величини можна скористатися різними способами інтерполяції.

Одним з найпоширеніших способів інтерполяції є лінійна інтерполяція, при якій проміжне значення вимірюваної змінної визначається таким чином:

$$x = x_i + \Delta x (y - y_i) / (y_{i+1} - y_i),$$

де Δx - крок по змінної x .

Звичайно $\Delta x = x_{i+1} - x_i = \text{const}$ і тоді $\Delta x = h$,

$$x = x_i + h(y - y_i) / (y_{i+1} - y_i). \quad (9.2)$$

У цьому випадку алгоритм визначення x буде складатися із двох частин:

1) пошук найближчої до y пари значень y_i, y_{i+1} і відповідного їм x_i ;

2) відшукування по формулі (9.2) значення x . У пам'ять комп'ютера при цьому необхідно, крім таблиць, записати також і значення кроку h .

Основний недолік табличного способу – більша трудомісткість підготовки й заповнення таблиць.

При використанні поліному, що апроксимує, залежність $\varphi^{-1}(y)$ представляється у вигляді

$$x = P_n(y) = a_n y^n + a_{n-1} y^{n-1} + \dots + a_1 y + a_0, \quad (9.3)$$

де y – значення сигналу, що знімається з датчика; a_i - постійні коефіцієнти ($i = \overline{0, n}$).

При цьому способі коефіцієнти також заносяться в пам'ять комп'ютера. Число цих коефіцієнтів відносно невелике. Тому використання поліному $P_n(y)$, що апроксимує, для наближеного подання залежності $\varphi^{-1}(y)$, в порівнянні з табличним способом, дає істотне зменшення часу підготовки. Коефіцієнти поліному підбираються таким чином, щоб похибка апроксимації $\delta_i = P_n(y) - x_i$ не перевершувала припустимого значення $\delta_{\text{доп}}$.

У цьому випадку для всіх точок таблиці буде виконуватися умова

$$|\delta_{\text{доп}}| - |\delta_i| \geq 0, \quad (9.4)$$

яка називається *умовою рівномірного наближення* поліному, що апроксимує, до шуканої функції.

Якщо нерівність (9.4) не вдається виконати, то необхідно збільшити ступінь полінома на одиницю. Однак збільшувати ступінь полінома можна лише до значення, що не перевищує число точок n у таблиці завдання характеристики датчика. У протилежному випадку коефіцієнти полінома не можуть бути визначені.

Якщо при максимальному значенні n не вдається виконати нерівність (9.4), варто розбити таблицю на групи й для кожної групи шукати відповідний поліном, або (для збільшення числа точок) провести лінійну інтерполяцію табличних даних.

Поліном (9.3) найкраще обчислити за схемою Горнера. Перетворимо його до виду

$$P_n(y) = (((\dots(a_n y + a_{n-1})y + a_{n-2})y + \dots + a_1)y + a_0.$$

Рекурентну формулу обчислення $P_n(y)$ можна записати таким чином:

$$P_{n-i+1}(y) = S_{n-i+1}(y) = S_{n-1}y + a_{i-1}. \quad (9.5)$$

У якості початкових даних в (9.5) приймаються: $i = n, S_0 = a_n$.

Схему алгоритму обчислення $P_n(y)$ по (9.5) скласти самостійно.

Велике значення для моніторингу навколишнього середовища мають алгоритми розпізнавання або виявлення подій

Задачі розпізнавання або виявлення подій досить різноманітні. У системах управління й контролю типовими задачами цього виду є задачі виявлення виходу контрольованого параметру за припустимі межі та виявлення несправностей у складній системі взаємозалежних елементів або пристроїв. Розглянемо більш докладно алгоритми рішення цих задач.

9.3 Виявлення виходу контрольованого параметра за припустимі межі

У загальному випадку таких меж дві – верхня та нижня.

Вихід контрольованого параметра за ці межі є подією. При цьому автоматична система повинна виявити цю подію, подати тривожний сигнал, зафіксувати найменування й значення параметра, а також час виходу його за припустимі межі. Якщо контрольований параметр увійшов у дозволена зону, необхідно зафіксувати час входу. Схема алгоритму роботи системи виявлення, що реалізує ці задачі для випадку, коли похибками виміру значень контрольованого параметра можна зневажити, досить проста і її пропонується виконати самостійно.

Якщо похибками виміру контрольованого параметра зневажити не можна, необхідно вирішувати задачу виявлення події за переключеними даними.

Ця задача вирішується методами теорії статистичних рішень. Нехай потрібно вирішувати задачу двухальтернативного виявлення. Весь простір можливих значень контрольованого параметра x може бути розділений на область припустимих (область I) і область неприпустимих (область II) значень (рис. 9.3).

При визначенні приналежності x до областей I або II внаслідок переключувань можливі помилки двох типів. Помилки I роду характеризуються тим, що значення контрольованого параметра x , що належить області I , системою (алгоритмом) виявлення ставиться до області II .

Помилки II роду – це помилки віднесення x до області I , у той час коли він належить до області II .

Будемо вважати, що переключування x обумовлені тільки випадковими похибками, тому що систематичні похибки можуть бути попередньо скоректовані.

Нехай умовна щільність імовірності розподілу значень x у випадку приналежності змінної до області I або II задана відповідно функціями $f_1(x)$ й $f_2(x)$ (рис 9.3).

Позначимо через x_0 точку на прямій x , для якої можна написати:

1) якщо $x > x_0$, то $x \in II$; 2) якщо $x \leq x_0$, то $x \in I$.

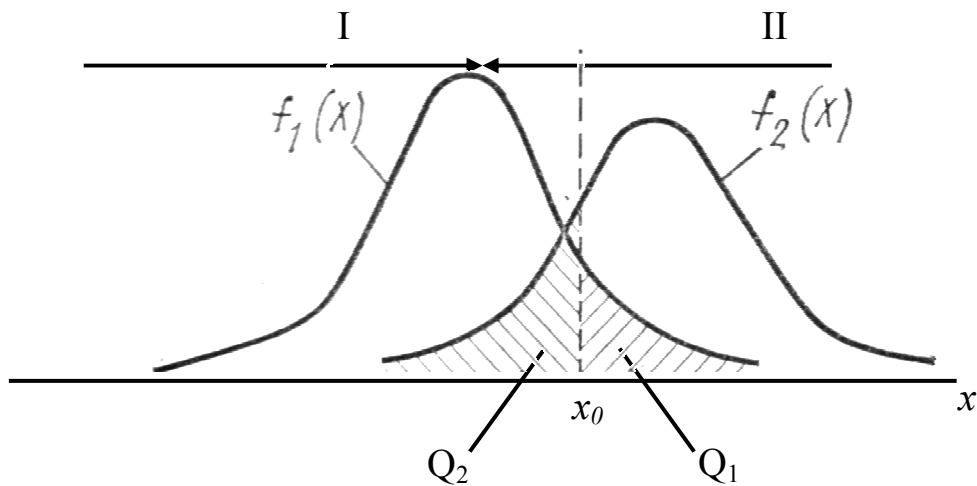


Рисунок 9.3 – Области припустимих (I) і неприпустимих (II) значень і умовні щільності ймовірності розподілу значень контрольованого параметру

Тоді ймовірності виникнення помилок I й II роду будуть дорівнювати відповідно

$$Q_1 = \int_{x_0}^{\infty} f_1(x) dx; \quad Q_2 = \int_{-\infty}^{x_0} f_2(x) dx.$$

Ймовірність Q_1 називається також ймовірністю фіктивної тривоги й позначається через $Q_{ф.м.}$, а Q_2 - ймовірність пропуску події (цілі) і позначається через $Q_{пр}$.

Нехай також відомі апіорні ймовірності приналежності x до областей I й II, тобто відомі відповідно значення $P(I)$ й $P(II) = 1 - P(I)$.

Якщо виявлення події ведеться з помилками, то можливі значні матеріальні втрати. Позначимо через C_{12} - вартість втрат через фіктивну тривогу, через C_{21} - вартість втрат через пропуск події; C_{11}, C_{22} - вартість (витрати) на одержання правильного рішення (відповідно віднесення x до областей I й II).

При багаторазових вимірах оцінку якості роботи системи виявлення доцільно робити по середній вартості втрат.

Середня вартість виявлення для розглянутого випадку

$$C_{ср} = P(I)C_{11}(1 - Q_{ф.м.}) + P(I)C_{12}Q_{ф.м.} + P(II)C_{22}(1 - Q_{пр}) + P(II)C_{21}Q_{пр}. \quad (9.6)$$

Добуток виду CQ_j в теорії статичних рішень прийнято називати *ризиком прийняття j -гіпотези* при віднесенні змінної x до однієї з областей.

З рисунку 9.3 і вираження (9.6) можна зробити висновок, що при заданих $f_1(x)$ й $f_2(x)$, а також $P(I)$ і $P(II)$ втрати через помилки виявлення істотно залежать від вибору точки x_0 . Вибір її доцільно робити, виходячи з мінімізації середніх втрат (9.6).

Якщо вирішити рівняння виду

$$dC_{cp} / dx = 0,$$

то після певних перетворень одержимо

$$\frac{dC_{cp}}{dx} = P(I)[C_{11}f_1(x_0) - C_{12}f_1(x_0)] + \\ + P(II)[C_{21}f_2(x_0) - C_{22}f_2(x_0)]_{x=x_0}.$$

Співвідношення виду

$$\frac{f_2(x_0)}{f_1(x_0)} = \frac{P(I)(C_{12} - C_{11})}{P(II)(C_{21} - C_{22})} = \lambda$$

називається *коефіцієнтом правдоподібності*.

Із цього співвідношення можна знайти значення x_0 , що при заданих $f_1(x_0)$, $f_2(x_0)$, $P(I)$, $P(II)$, а також вартостях втрат C_k забезпечує мінімум середніх втрат.

Таким чином, при наявності перекручувань, обумовлених похибками вимірів контрольованого параметра, а також перешкодами в каналах передачі, алгоритм виявлення виходу параметра за припустимі межі не змінюється в порівнянні з алгоритмом, коли перекручуваннями можна зневажити. Міняється лише положення межі, що повина вибиратися виходячи із забезпечення мінімуму середніх втрат. Є й інші стратегії вибору цієї межі. Наприклад, вибір x_0 може вироблятися виходячи з вимоги мінімізації середнього ризику (критерій Байеса) або мінімізації максимального значення середнього ризику (мінімальний критерій) або з використанням критерію Неймана-Пірсона.

9.4 Виявлення несправностей у складній системі взаємозалежних елементів і пристроїв

На відміну від алгоритмів систем, призначених для виявлення факту виходу контрольованого параметра за припустимі межі, алгоритми складної системи вирішують задачу виявлення місця порушення (на якій ділянці, у якому агрегаті, у якому елементі). При цьому мається на увазі, що на кожному з контрольованих елементів немає апаратних засобів виявлення несправностей. Виявлення несправностей у таких системах виробляється на підставі логічного аналізу деяких альтернативних умов. У загальному виді виявлення несправностей і причин порушення роботи будь-якого технічного пристрою є задачею спеціальної дисципліни – технічної діагностики. Однією з основних проблем технічної діагностики складної системи є проблема раціональної організації пошуку елемента або пристрою, що відмовив, за мінімальний час.

Алгоритми автоматичних систем виявлення несправностей відрізняються методами організації пошуку. Найбільше поширення одержали наступні:

1) метод послідовного аналізу всіх елементів або пристроїв. Сутність його полягає в послідовній перевірці за певним алгоритмом кожного елемента (пристрою) системи й в оцінці результатів перевірки. При великій кількості елементів час перевірки й об'єм операції контролю можуть бути надзвичайно великими;

2) метод середньої точки. Цей метод найбільш ефективний при рівноімовірних відмовах контрольованих елементів, що складають послідовний ланцюг, і в припущенні, що одночасно відмовити може тільки один елемент (пристрій, агрегат). Алгоритм пошуку полягає в наступному.

Всі елементи ланцюга розбиваються на дві приблизно рівні частини. Якщо в результаті контролю однієї половини отримана відповідь про несправності складових її елементів, то виробляється контроль тільки цієї половини.

У другому циклі контролю несправний ланцюг також розбивається на дві приблизно рівні частини з наступним контролем тільки однієї половини й т.д. по локалізації несправного елемента (пристрою);

3) метод аналізу елементів у порядку убутання ймовірності їхніх відмов. Сутність його полягає з організації пошуку в першу чергу серед елементів, що мають найбільшу ймовірність відмов, потім несправність шукається серед елементів, що мають більшу надійність, і т.д. Така система припускає, що відомо ймовірності відмов всіх елементів.

Таким чином, побудова оптимальної системи виявлення несправностей можлива при використанні ряду апіорних відомостей про елементи системи і їхньому з'єднанні. Назвемо такі відомості обмеженнями. Іноді, виділивши обмеження, вдається побудувати відносно

прості системи діагностики складних систем.

Прикладом обліку обмежень при технічній діагностиці складної системи може служити реалізація пошуку несправностей по методу аналізу *причинно-наслідкових зв'язків*.

Необхідною умовою застосовності цього методу є виконання наступних обмежень:

а) імовірність появи несправності у двох елементах і більш зневажливо мала;

б) вихід за припустимі межі однієї з величин приводить до виходу за припустимі межі всіх інших величин, на які вона впливає в якості однієї із причин їхньої зміни;

в) компенсації величини, що вийшла за припустимі межі, якою-небудь іншою або іншими величинами на вході будь-якого елемента не відбувається;

г) вихід за припустимі межі якої-небудь змінної контрольованого елемента за рахунок сукупності інших величин, що перебувають у нормі, малоімовірний.

При таких обмеженнях можливо побудувати систему виявлення по методу аналізу причинно-наслідкових зв'язків між змінними на виході контрольованого блоку (ділянки), починаючи із змінних на виході і кінчаючи змінними, поданими на вхід.

Контрольні запитання

1. Які алгоритми збору й обробки даних ви знаєте?
2. Представте і поясніть схему алгоритму циклічного опитування датчиків.
3. Представте і поясніть схему алгоритму адресного опитування датчиків.
4. Визначення істинних значень вимірюваних датчиком величин у випадку лінійної функції.
5. Визначення істинних значень вимірюваних датчиком величин у випадку аналітичної нелінійності.
6. Визначення істинних значень вимірюваних датчиком величин у випадку не аналітичної нелінійності.
7. Визначення істинних значень вимірюваних датчиком величин з використанням таблиць.
8. Визначення істинних значень вимірюваних датчиком величин з використанням полінома, що апроксимує.
9. Як добитися рівномірного наближення поліному до шуканої функції?
10. Як визначаються істинні значення параметрів за показниками датчиків?
11. Які задачі розпізнавання або виявлення подій ви знаєте?
12. Алгоритм виявлення виходу контрольованого параметра за припустимі

межі.

13. Чим характеризуються помилки *I* роду?
14. Чим характеризуються помилки *II* роду?
15. Що називається імовірністю фіктивної тривоги?
16. Постанова задачі двухальтернативного виявлення.
17. Що називається імовірністю пропуску події (цілі)?
18. Помилки *I* й *II* роду; аналітичний опис імовірності їхньої появи.
19. Що називають коефіцієнтом правдоподібності?
20. Виявлення несправностей методом послідовного аналізу всіх елементів або пристроїв.
21. Виявлення несправностей методом середньої точки.
22. Виявлення несправностей методом аналізу елементів у порядку убутання ймовірності їхніх відмов.
23. Виявлення несправностей у складній системі взаємозалежних елементів.
24. Опишіть методи організації пошуку для виявлення несправностей.
25. Укажіть обмеження методу аналізу причинно-наслідкових зв'язків.

10 Проектування температурних датчиків

10.1 Короткі відомості про температурні датчики

Датчики створюють «вікно», крізь яке системи моніторингу «спостерігають» за зовнішнім світом.

У цій темі розглядаються пасивні температурні датчики, їхнє застосування в АСМНС й можливість сполучення з динамічним діапазоном системи вимірювання.

Таку характеристику зовнішнього середовища, як температура, доводиться вимірювати досить часто. Хід багатьох виробничих процесів, від виплавки стали до виробництва напівпровідників, залежить від температури. Деякі електронні прилади мають потребу у вимірі власної температури: персональні комп'ютери, наприклад, відслідковують температуру процесорів, контролери двигунів повинні знати температуру інтегральних схем драйверів і т.д. У всіх перерахованих прикладах температуру вимірюють температурні датчики.

10.2 Терморезистори

Терморезистор – це температурний датчик, опір якого залежить від температури.

Термісторами називаються терморезистори з негативним

температурним коефіцієнтом опору (negative temperature coefficient, NTC), тобто опір таких терморезисторів зростає зі спадом температури.

Позисторами або кремнієвими датчиками температури, за назвою технології їхнього виготовлення, називається інша група терморезисторів з позитивним температурним коефіцієнтом опору (positive temperature coefficient, PTC). Опір таких терморезисторів зростає зі збільшенням температури.

Із всіх пасивних температурних датчиків терморезистори мають найбільшу чутливість (зміна опору на градус зміни температури). Однак залежність опору від температури у терморезисторів – нелінійна.

Характеристики терморезисторів залежать від технологій і використовуваних матеріалів. Терморезистори одного сімейства, як правило, мають подібні залежності опору від температури. Їхній опір може змінюватися по всій шкалі в 10 або в 100 разів, але характеристики збігаються.

Для опису характеристик виробники звичайно приводять таблиці, у яких указують відношення опору на даній температурі до опору при температурі 25°C. Типові залежності для термістора – NTC-резистора – наведені в табл. 10.1.

Ці дані є типовими для будь-яких термісторів (NTC-терморезисторів). Опір у таблиці визначається по відношенню R_t/R_{25} . Термістор цього сімейства з опором 10 кОм при температурі 25°C (R_{25}) мав би при температурі 0°C опір

$$R_{t0} = 10 \text{ кОм} \times 2,81 = 28,1 \text{ кОм},$$

а при 60°C – опір

$$R_{t60} = 10 \text{ кОм} \times 0,4086 = 4,086 \text{ кОм}.$$

Таблиця 10.1 – Залежність опору від температури типового терморезистора NTC

Температура, t°C	R_t/R_{25}	Температура, t°C	R_t/R_{25}
-50	39,03	30	0,8276
-40	21,47	40	0,6406
-30	12,28	50	0,5758
-20	7,28	60	0,4086
-10	4,46	70	0,2954
0	2,81	80	0,2172
10	1,82	90	0,1622
20	1,21	100	0,1229
25	1	110	0,09446

На рис. 10.1 наведений графік залежності термоопору від температури, побудований за даними з табл. 10.1.

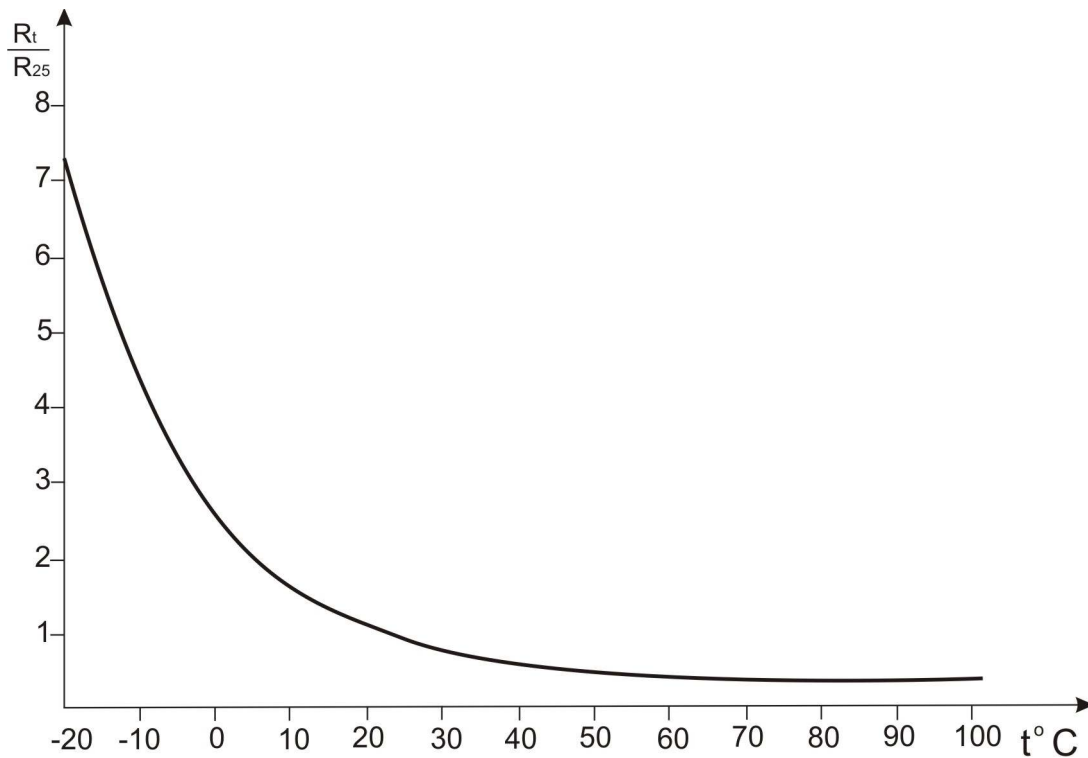


Рисунок 10.1 – Графік залежності опору термістора від температури

Дана характеристика має нелінійний характер експонентного виду, що добре видно на графіку рис. 10.1. Для зазначеного типу терморезистора дані надані із кроком 10°C , а деякі фірми надають дані із кроком 5°C або навіть 1°C .

На рис. 10.2 показане типове підключення терморезистора R_t до операційного підсилювача.

На обмежуючий резистор R_1 подається деяка напруга. Величина цієї напруги звичайно збігається з V_{REF} – опорною напругою АЦП – і в більшості випадків становить 2.5 В.

Ланцюг з резистора R_1 і терморезистора R_t утворює дільник напруги, і зміна опору терморезистора приводить до зміни напруги в точці з'єднання. Точність цього ланцюга залежить від точності параметрів резистора, терморезистора й напруги V_{REF} .

Буферний підсилювач із одиничним коефіцієнтом передачі й високим опором на вході запобігає шунтування резистора-датчика R_t наступними схемами.

Розглянемо на конкретному прикладі послідовність дій при рішенні поставленого завдання.

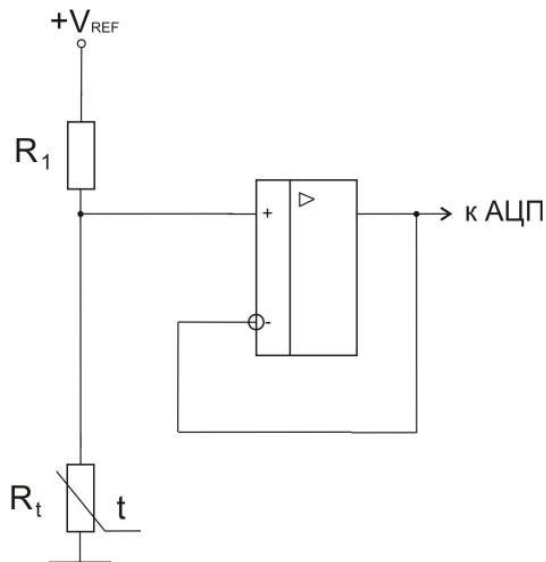


Рисунок 10.2 – Схема включення термістора

10.3 Операція масштабування та схема масштабуючого підсилювача

При проектуванні автоматизованої системи моніторингу навколишнього середовища для її правильного функціонування необхідно змінити діапазон аналогового сигналу датчика. Це приведе у відповідність сигнал датчика із входним діапазоном АЦП. Така зміна діапазону сигналу називається «операцією масштабування».

На рис.10.2 представлена подібна ситуація. Сигнал з терморезистора R_t – напруга V_t – повинен бути поданий, наприклад, до аналогового входу АЦП виміральної системи з динамічним діапазоном 0...5 В.

Таблиця 10.2 – Падіння напруги V_t на терморезисторі

Температура, °С	R_t , кОм	V_t , В
-10	44,6	2,04
0	28,1	1,84
10	18,2	1,61
25	10	1,25
30	8,276	1,13
40	6,406	0,976
60	4,08	0,7244
70	2,954	0,569
100	1,229	0,273

Знову розглянемо типовий терморезистор NTC з попереднього приклада. Падіння напруги V_t на терморезисторі R_t може бути обчислене по наступній формулі:

$$V_t = \frac{2.5 \times R_t}{R_t + R_1}.$$

Нехай величина обмежуючого резистора R_1 становить 10 кОм (рис.10.2). Використовуючи це рівняння й дані таблиці 10.2 (залежність R_t опору терморезистора від температури), можна обчислити V_t у якимсь температурному діапазоні, наприклад -10...100°C (Табл.10.2).

Тепер допустимо, що знадобилося виміряти температуру в діапазоні 10...40°C.

Масштабування має на увазі, що при температурах (10...40°C) сигнал датчика на виході повинен відповідати всьому діапазону вхідних напруг АЦП. При цьому буде отримана максимальна точність вимірів.

Задамо невеликий запас по 0,5В на межах діапазону, щоб не вийти за його межі при використанні резисторів зі стандартними номіналами. Тоді діапазону температур (10...40)°С, тобто в 30 градусів, буде відповідати діапазон напруг АЦП (0,5...4,5)В, тобто розмахом в 4 вольти.

У даному прикладі діапазон температур 10...40°C відповідає діапазону напруг на виході датчика (0,976...1,61)В (табл.10.2), при цьому весь розмах сигналу датчика дорівнює

$$1,61\text{В} - 0,976\text{В} = 0,634\text{ В}.$$

Можна встановити розмах рівним 4В множенням даного діапазону напруг на коефіцієнт

$$K = 4\text{В}/0,634\text{В} = 6,3 \quad (10.1)$$

Результат такого множення встановлює для діапазону 10...40°C вхідні напруги для АЦП у діапазоні

$$(0,976...1,61)\text{В} \times 6,3 = (6,14...10,143)\text{В} \quad (10.2)$$

При цьому розмах сигналу дорівнює

$$10,14\text{ В} - 6,14\text{ В} = 4\text{ В},$$

але перебуває він поза заданим вхідним діапазоном АЦП (0,5...4,5)В.

Отже, для правильного масштабування необхідно, крім посилення вхідного сигналу (операція множення на коефіцієнт K), зсунути його униз (операція віднімання величини ΔV) до вхідного діапазону АЦП.

Схема операційного підсилювача, що реалізує такі операції, представлена на рис. 10.3.

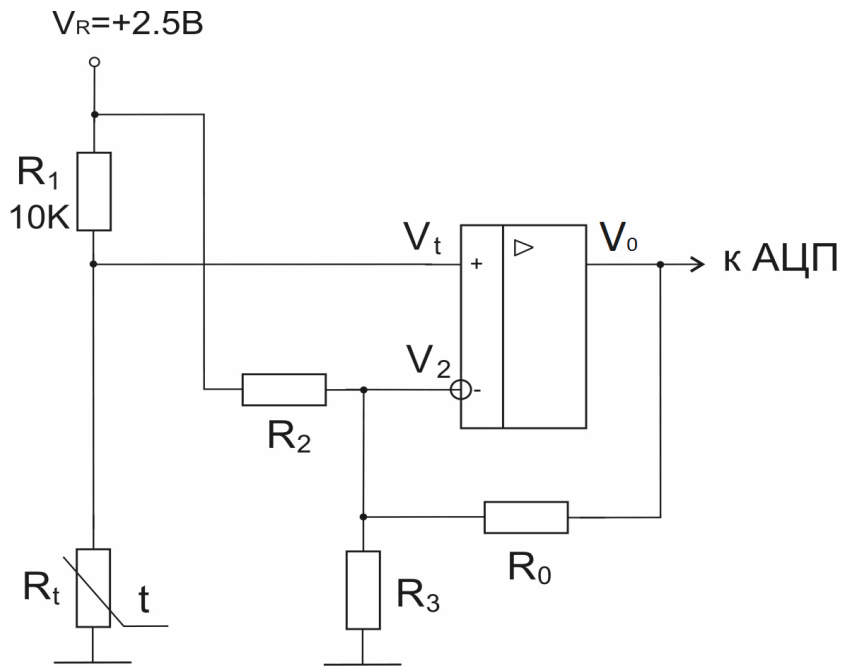


Рисунок 10.3 – Масштабуючий підсилювач

10.4 Вивід формул посилення та зсуву сигналу датчика

Нехай напруга на виході операційного підсилювача ОУ, зображеного на рис.10.3, дорівнює V_0 . Тоді величину V_0 можна обчислити з рівняння, складеного за правилом Кирхгофа:

$$\frac{V_0 - V_2}{R_0} + \frac{V_R - V_2}{R_2} = \frac{V_2}{R_3} \quad (10.3)$$

Якщо ОУ працює в лінійному режимі, то $V_t = V_2$, і рівняння можна переписати в такий спосіб:

$$\frac{V_0 - V_t}{R_0} + \frac{V_R - V_t}{R_2} = \frac{V_t}{R_3} \quad (10.4)$$

Вирішуючи це рівняння відносно V_0 , одержимо наступний вираз:

$$V_0 = V_t \left(1 + \frac{R_0}{R_3} + \frac{R_0}{R_2} \right) - \frac{V_R \times R_0}{R_2} \quad (10.5)$$

У рівнянні (10.5) посилений сигнал представлений виразом

$$V_t \left(1 + \frac{R_0}{R_3} + \frac{R_0}{R_2} \right), \quad (10.6)$$

де V_t – вхідний сигнал від датчика, а вираз в скобках – коефіцієнт посилення:

$$K = \left(1 + \frac{R_0}{R_3} + \frac{R_0}{R_2} \right). \quad (10.7)$$

Зсув ΔV в рівнянні (10.5) представляється виразом

$$\Delta V = \frac{V_R \times R_0}{R_2}. \quad (10.8)$$

10.5 Розрахунок параметрів елементів масштабуючого підсилювача

Використовуємо отримані вирази для розрахунку параметрів схеми масштабуючого підсилювача.

Рівняння (10.7), з врахуванням (10.1), можна переписати у вигляді:

$$6.3 = 1 + \frac{R_0}{R_3} + \frac{R_0}{R_3}. \quad (10.9)$$

Тепер потрібно визначити зсув.

Зсув ΔV можна знайти врахуванням з кожної з розрахованих напруг (10.2) відповідної заданої напруги (0,5В; 4,5В):

$$\begin{aligned} \Delta V &= 6,14\text{В} - 0,5\text{В} = 5,64\text{В}, \text{ або} \\ \Delta V &= 10,14\text{В} - 4,5\text{В} = 5,64\text{В}. \end{aligned}$$

В обох випадках повинний вийти однаковий результат, якщо немає помилок у попередніх обчисленнях.

Рівняння (10.8), з врахуванням отриманого вище значення $\Delta V = 5,64\text{В}$, можна записати в наступному вигляді:

$$5.64 = \frac{V_R \times R_0}{R_2}. \quad (10.10)$$

Зараз можна вирішити одночасно рівняння посилення (10.9) і зсуву (10.10) щодо величин резисторів.

У даному прикладі, як показано на схемі (рис.10.3), величина

опорної напруги $V_R=2,5$ В встановлена одночасно й для ланцюгів ОУ, і терморезистора. Опорна ж напруга самого АЦП у даному прикладі (без врахування запасу на границях діапазону) становить 5 В.

В отриманій вище системі із двох рівнянь невідомі три величини опорів резисторів. Отже, потрібно задати величину одного з резисторів.

Виберемо опір $R_0 = 100$ кОм й урахуємо, що $V_R = 2,5$ В, тоді одержимо наступну систему рівнянь:

$$6.3 = 1 + \frac{100 \text{ кОм}}{R_3} + \frac{100 \text{ кОм}}{R_2};$$

$$5.64 = \frac{250 \text{ кОм}}{R_2}$$

Вирішуючи систему цих рівнянь, одержимо:

$$R_2 = 44,32 \text{ кОм};$$

$$R_3 = 32.85 \text{ кОм}.$$

Наступний крок – вибір стандартних номіналів резисторів з ряду E192.

Для резисторів з 1% -ою точністю – це 44,2 кОм й 33,2 кОм. Підставляючи для перевірки ці величини з розкидом $\pm 1\%$ у рівняння (10.7) і (10.8), одержуємо коефіцієнт посилення $K=6,27$ і величину зсуву $\Delta V=5,65$ В.

10.6 Складання таблиці залежності сигналу датчика від вимірюваного параметру

Тепер ми можемо скласти залежність результату перетворення від будь-якої температури діапазону:

Таблиця 10.3 – Залежність результату перетворення від температури діапазону для 8-розрядного АЦП

Температура, °С	R_t , кОм	Вихід ОУ, В	Десяткове значення
10	18,2	4,44	227
25	10	2,18	111
30	8,276	1,44	74
40	6,406	0,467	23

Номинальний ряд E192

E192	E192	E192	E192	E192	E192
1,00	1,47	2,15	3,16	4,64	6,81
1,01	1,49	2,18	3,20	4,70	6,90
1,02	1,50	2,21	3,24	4,75	6,98
1,04	1,52	2,23	3,28	4,81	7,06
1,05	1,54	2,26	3,32	4,87	7,15
1,06	1,56	2,29	3,36	4,93	7,23
1,07	1,58	2,32	3,40	4,99	7,32
1,09	1,60	2,34	3,44	5,05	7,41
1,10	1,62	2,37	3,48	5,11	7,50
1,11	1,64	2,40	3,52	5,17	7,59
1,13	1,65	2,43	3,57	5,23	7,68
1,14	1,67	2,46	3,61	5,30	7,77
1,15	1,69	2,49	3,65	5,36	7,87
1,17	1,72	2,52	3,70	5,42	7,96
1,18	1,74	2,55	3,74	5,49	8,06
1,20	1,76	2,58	3,79	5,56	8,16
1,21	1,78	2,61	3,83	5,62	8,25
1,23	1,80	2,64	3,88	5,69	8,35
1,24	1,82	2,67	3,92	5,76	8,45
1,26	1,84	2,71	3,97	5,83	8,56
1,27	1,87	2,74	4,02	5,90	8,66
1,29	1,89	2,77	4,07	5,97	8,76
1,30	1,91	2,80	4,12	6,04	8,87
1,32	1,93	2,84	4,17	6,12	8,98
1,33	1,96	2,87	4,22	6,19	9,09
1,35	1,98	2,91	4,27	6,26	9,19
1,37	2,00	2,94	4,32	6,34	9,31
1,38	2,03	2,98	4,37	6,42	9,42
1,40	2,05	3,01	4,42	6,49	9,53
1,42	2,08	3,05	4,48	6,57	9,65
1,43	2,10	3,09	4,53	6,65	9,76
1,45	2,13	3,12	4,59	6,73	9,88

Десятковий відлік D_{10} аналогової напруги визначається виразом

$$D_{10} = 2^N \times V_0 / V_{REF},$$

де N – розрядність АЦП;

V_{REF} – опорна напруга АЦП;

V_0 – вхідна напруга АЦП (напруга на виході операційного підсилювача).

Наприклад, для 8-розрядного АЦП із $V_{REF} = 5\text{В}$ и $V_0 = 4,44\text{В}$ $D_{10} = 227$.

Ця залежність необхідна, тому що терморезистор – нелінійний елемент, і програма повинна буде вирішити, якому результату на виході АЦП яка температура відповідає. Для реальних схем подібні характеристики варто обчислювати із кроком 1°C .

У розглянутому прикладі сигнал на виході ОУ проходить майже весь діапазон від 0 до 5 В, отже на практиці треба або вибрати двуполярний ОУ, або однополярний ОУ з розширенням повного розмаху вихідної напруги ОУ майже до напруги живлення. Розв'язна здатність даного ланцюга становить $(227-23)/30^\circ\text{C} = 6,8$ відліків на градус.

Контрольні запитання

1. Короткі відомості про температурні датчики.
2. Характерні особливості терморезистора.
3. Принципи використання терморезисторів.
4. Термістор як різновид терморезистора.
5. Чим позистор відрізняється від термістора?
6. Типове підключення терморезистора у схемі датчика.
7. Роль буферного підсилювача в схемі з терморезистором.
8. Обґрунтуйте необхідність проведення операції масштабування сигналу датчика.
9. Які функції виконує масштабуючий підсилювач?
10. Визначення істинних значень вимірюваних датчиком величин з використанням таблиць.
11. Операція масштабування й схема масштабуючого підсилювача.
12. Вивід формули посилення сигналу датчика.
13. Вивід формули зсуву сигналу датчика.
14. Розрахунок параметрів елементів масштабуючого підсилювача.
15. Складання таблиці залежностей результату перетворення від температури діапазону.
16. Структурна схема підсистеми уведення аналогової інформації ІВС.

11 Використання сучасних мікропроцесорних систем при проектуванні АСМНС

11.1 Особливості архітектури мікроконтролерів сімейства MCS-51

Поняття «архітектура» мікроконтролерів трактується як сукупність внутрішніх і зовнішніх програмно-доступних ресурсів, системи команд, системи переривань, функцій введення-виведення і протоколів обміну по магістралі. Архітектура втілюється виробником у вигляді набору зв'язаних функціонально-топологічних модулів. Конкретний мікроконтролер є певною комбінацією цих модулів, основою якого є операційне ядро.

Архітектура MCS-51 фірми Intel була свого часу визначена настільки вдало, що є сьогодні одним із стандартів на ринку 8-розрядних мікроконтролерів. Цю архітектуру відтворює в тому або іншому вигляді у своїх виробках ряд фірм. По сукупному обсягу виробництва цих фірм мікроконтролери MCS-51 займають перше місце.

Вихідна архітектура MCS-51 характеризується такими особливостями:

- архітектура «гарвардська», тобто пам'ять програм і пам'ять даних розділені;

- операційне ядро має «акумуляторну» організацію, тобто результат операції, як правило, поміщується в регістр-акумулятор;

- 8-розрядне АЛП з апаратним помножувачем обробляє цілочисельні операнди;

- є внутрішня пам'ять програм (4 Кбайта) і ОЗП даних (128 байт);

- є чотири універсальні програмувальні рівнобіжні 8-розрядні порти введення-виведення з можливістю реалізації визначених альтернативних функцій;

- набір блоків введення-виведення включає два 16-розрядних програмованих лічильники/таймери і дуплексний послідовний порт;

- усі регістри управління блоків введення-виведення зведені в групу регістрів спеціальних функцій, що має свій діапазон адрес у просторі внутрішньої пам'яті даних.

Перше сімейство мікроконтролерів з вихідною архітектурою MCS-51 було розроблене на основі nMOS технології (NMOS). Ця лінія включила мікросхеми 8051АН, 8751ВН, 8031АН – з постійною пам'яттю програм, з перезаписуваною пам'яттю програм, що стирається ультрафіолетом (УФ-мікросхеми), і без внутрішньої пам'яті програм відповідно. Вітчизняною промисловістю дотепер випускається аналог мікросхеми 8031АН – мікроконтролер К1816ВЕ31.

Сучасні версії мікроконтролерів з вихідною архітектурою MCS-51 виконані з використанням комплементарної МОП-технології (CMOS). Вони мають маркування 80C51, 80C31, випускаються декількома фірмами,

оскільки дозволяють вирішувати багато задач і користуються попитом. Технологія СНМОС дозволила зменшити потужність, що розсіюється, при звичайній роботі і ввести особливі режими, що додатково знижують енергоспоживання. Вітчизняним аналогом мікросхеми 80C31 є мікроконтролер K1830BE31

В останні роки бурхливо розвивається технологія перезаписуваної Flash-пам'яті програм, яка значною мірою витиснила пам'ять, що стирається ультрафіолетом. Це пояснюється дорожнечою металокерамічного корпусу з кварцовим склом, необхідного для УФ-мікросхем.

Мікроконтролери з вихідною архітектурою MCS-51 і Flash-пам'яттю випускаються фірмами Atmel, Philips і іншими під маркуванням 89C51. Мікроконтролери з УФ-пам'яттю залишилися, в основному, у вигляді однократно програмувальних (OTP) версій в пластмасовому корпусі без вікна. Вони мають маркування 87C51OTP.

Удосконалення технології, зростання ступеня інтеграції дозволило у рамках архітектури MCS-51 розширити набір внутрішніх інтерфейсних блоків, збільшити внутрішню пам'ять програм і даних. Так з'явилися мікроконтролери типу 80C52/54/58 і мікроконтролери типу 80L52/54/58 зі зниженою напругою живлення. Модернізована архітектура MCS-51 характеризується збільшенням до 256 байт внутрішнім ОЗП даних, внутрішньою пам'яттю програм 8/16/32 Кбайт, наявністю сторожового таймера (watchdog timer). Розширення набору внутрішніх блоків привело до збільшення числа регістрів спеціальних функцій, дещо змінилася система переривань. Найбільш поширеними мікроконтролерами з модернізованою MCS-51 архітектурою можна в даний час вважати мікросхеми типу 87C52/89C52/80C52, що випускаються більшістю виробників, які підтримують архітектуру MCS-51.

Такі фірми, як Intel, Philips, Siemens, Dalls, Semiconductor, Atmel, Winbond і ряд інших виробляє сімейства мікроконтролерів з архітектурою MCS-51. В цілях підвищення продуктивності деякі з них використовують такі відмінності, як розширена система команд, стиснутий цикл обміну по магістралі, збільшена кількість портів введення-виведення.

Структура мікроконтролерів з архітектурою MCS-51

На рис. 11.1. приведена внутрішня структура мікроконтролера Intel 8051, що відповідає вихідній архітектурі MCS-51.

Вона включає наступний набір функціональних модулів:

- 8-розрядне АЛП з апаратною реалізацією операцій типу множення;
- внутрішня пам'ять програм (4 Кбайт) і ОЗП даних (128 байт);
- чотири універсальних рівнобіжних 8-розрядних порти введення-виведення з можливістю реалізації альтернативних функцій;
- два 16-розрядних програмувальних лічильника/таймера;
- дуплексний послідовний порт.

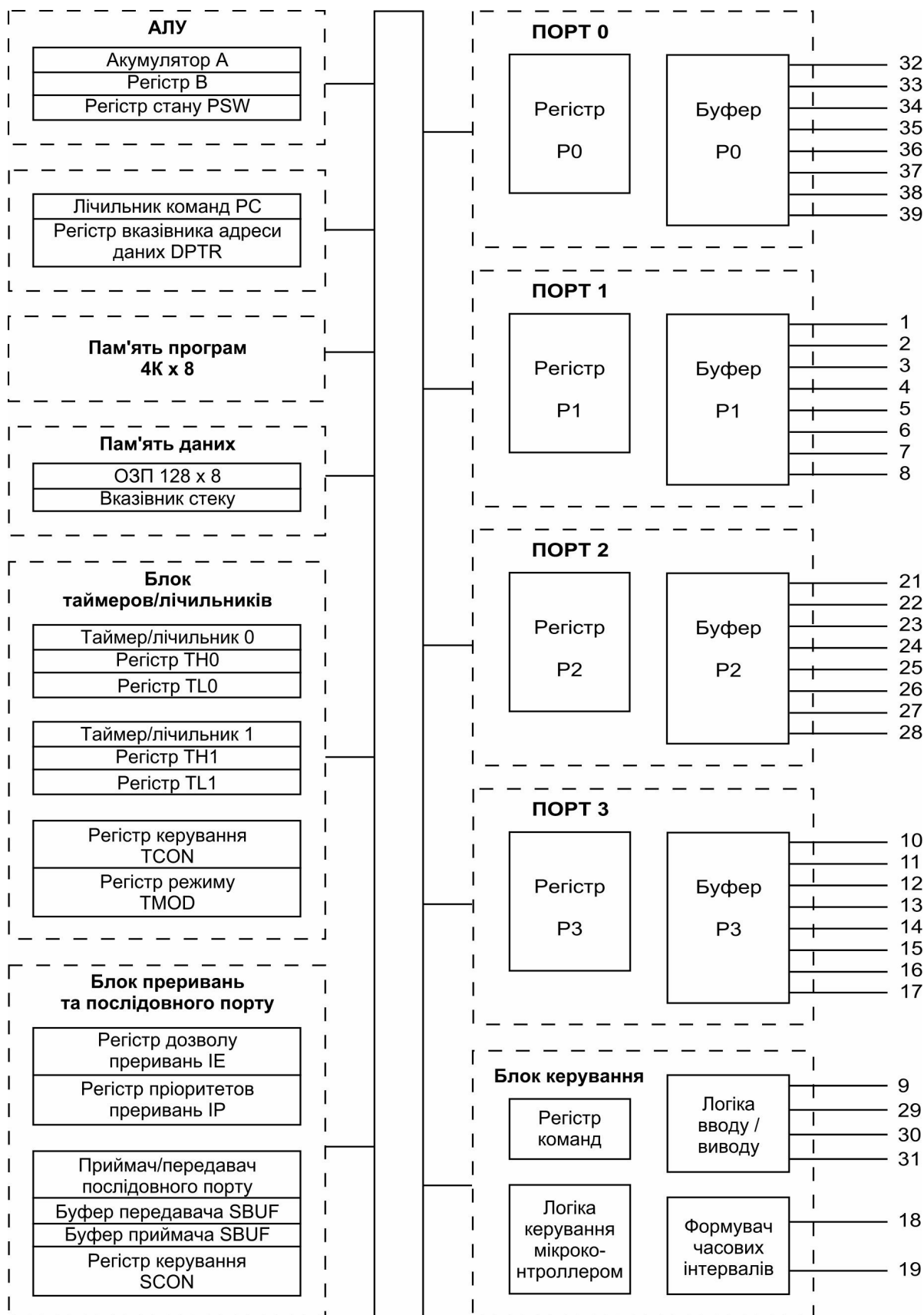


Рисунок 11.1 – Структура мікроконтролерів MCS-51

Цей набір апаратних засобів і сукупність реалізовуваних функцій роблять мікроконтролери сімейства 8051 ефективним засобом збору, попередньої обробки інформації і управління різноманітними об'єктами.

Мікроконтролери типу 8xС52

Мікроконтролери типу 8xС52 (80С52, 87С52, 80С32) реалізують модифіковану архітектуру MCS-51, метою якої є оперування ресурсами значно більшого обсягу. Вони виготовляються тільки з використанням КМОП-технології, відрізняються від мікроконтролерів типу 8051 наявністю внутрішньої пам'яті програм об'ємом 8 Кбайт, внутрішнього ОЗП даних об'ємом 256 байт і трьох лічильників/таймерів. У систему переривань введений другий регістр пріоритетів. Крім того, з'явився режим налагоджування.

Мікроконтролери мають гарвардську архітектуру, пам'ять програм і пам'ять даних розділені. Кожна з них має розмір 64 Кбайта. Організація пам'яті в мікроконтролерах типу 8xС52 ілюструється рис. 11.2.

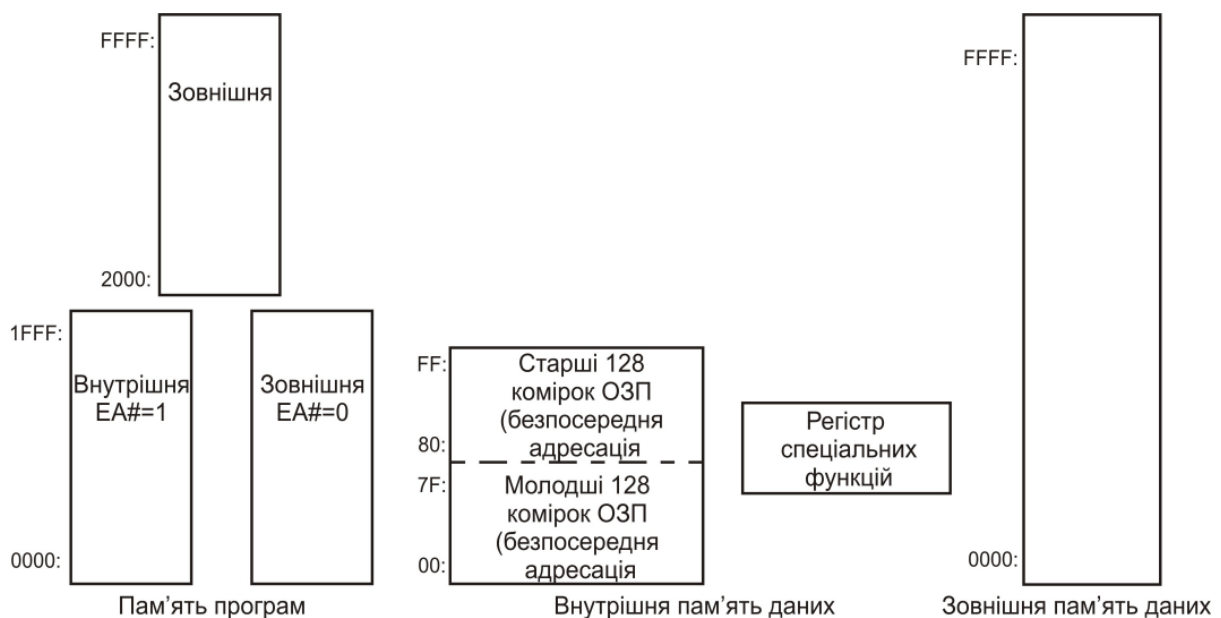


Рисунок 11.2 – Організація пам'яті мікроконтролерів типу 8xС52

Пам'ять програм може бути цілком зовнішньою (сигнал EA=0), або при звертанні по молодших 8К адрес код витягується з елементів внутрішньої пам'яті мікроконтролера, а вміст старших 56К береться із зовнішньої пам'яті системи (сигнал EA=1).

8 Кбайт внутрішньої пам'яті ПЗП програм мікроконтролера 80С52 програмується за допомогою маски на заводі-виготівнику, а в мікроконтролері 87С52 – програмується однократно користувачем. Мікроконтролер 89С52 має flash-пам'ять, що перезаписується.

Внутрішня пам'ять програм має захист від читання інформації. У мікроконтролерах різних фірм і модифікацій можуть бути від одного до

трьох бітів секретності та кодувальна таблиця.

У мікроконтролерах типу 8xC52 був збільшений об'єм внутрішньої пам'яті даних до 256 байт. Це привело до накладення старших 128 байт ОЗП даних і простору регістрів спеціальних функцій (рис. 11.2) Вибір тієї або іншої області при звертанні до пам'яті здійснюється апаратними засобами мікроконтролера на основі використовуваного методу адресації. Звертання до старших 128 байтів ОЗУ виконується з використанням побічно-регістрової адресації, а до регістрів спеціальних функцій – з використанням прямої адресації.

До набору регістрів спеціальних функцій додані регістр даних, регістр перезавантаження і управління таймера 2, а також регістр пріоритетів переривань IPH.

Мікроконвертер AD μ C812 фірми ANALOG DEVICES

Мікроконвертер AD μ C812 є однокристальною системою збору даних і управління, яка включає прецизійний 12-розрядний АЦП, два 12-розрядних ЦАП і ядро мікроконтролера з модернізованою архітектурою MCS-51 – 8xC52. Структура мікроконвертера зображена на рис. 11.3.

Простір зовнішньої пам'яті даних збільшено до 16 Мбайт.

Внутрішня flash-пам'ять програм об'ємом 8 Кбайт може бути запрограмована прямо на платі через послідовний порт UART, або при установці мікросхеми – за допомогою промислового програматора.

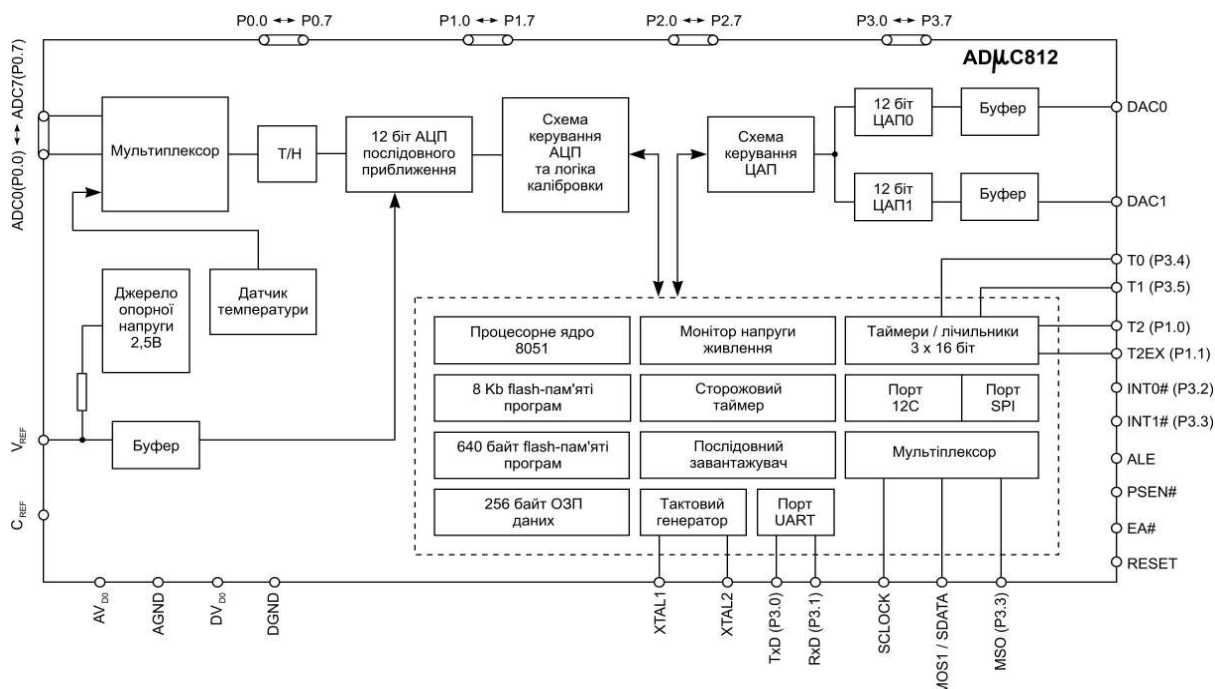


Рисунок 11.3 – Структура мікроконвертера Ad μ C812

До внутрішніх ресурсів додано 640 байт енергонезалежної пам'яті даних. Вона доступна побічно через регістри спеціальних функцій,

оскільки набір регістрів, призначених для роботи з внутрішньою енергонезалежною пам'яттю даних, включений до складу регістрів спеціальних функцій.

Внутрішня енергонезалежна пам'ять даних розбита на 160 сторінок по 4 байти. Стирання однієї сторінки і всієї flash-пам'яті даних виконується за 20 мс., запис сторінки займає 250 мкс., а її читання триває командний цикл. На час обслуговування flash-пам'яті даних запити переривань відкладаються.

До блоків введення-виведення вихідного мікроконтролерного ядра додані ЦАП, АЦП і два інтерфейси послідовних портів (SPI та I²C).

Крім того, надійність роботи системи суттєво підвищують введені в її структуру блоки монітора напруги живлення і сторожового таймера.

Монітор напруги живлення формує запит переривання, якщо живлення стає менше значення, яке може бути встановлене програмно. Процедура обслуговування цього переривання повинна зберегти в пам'яті стан регістрів процесора. Прапор переривання очищається при нормалізації живлення.

Сторожовий таймер визначає інтервал часу, наприкінці якого він формує системне скидання мікроконвертера. Робоча програма при всіх варіантах реалізації алгоритму повинна періодично перезавантажувати сторожовий таймер, не допускаючи його спрацьовування. Відсутність перезавантаження свідчить про непередбачену затримку, ідентифікується як зависання і викликає системне скидання і перезавантаження мікроконвертера.

11.2 Сімейство мікроконтролерів AVR корпорації ATMEL

ATMEL – прогресивна і мобільна компанія. З моменту заснування фірма ставила своєю метою виробляти різноманітну і високотехнологічну продукцію загального і універсального застосування. Широкий спектр мікросхем, що випускаються на даний час ATMEL, складає декілька десятків груп. За підсумками останніх років їхній розподіл по сферах застосування наступний:

- телекомунікації і зв'язок – 46%;
- промисловість і оборонний напрямок – 15%;
- комп'ютери і мережеві додатки – 22%;
- продукція загального призначення – 11%;
- автомобілебудування – 6%.

ATMEL випускає складні вироби сучасної мікроелектроніки; це один з визнаних світових лідерів у виробництві широкого спектру пристроїв енергонезалежної пам'яті високої швидкодії і мінімального питомого енергоспоживання, мікроконтролерів загального призначення і мікросхем програмувальної логіки. Практично всі базові кристали

промислового стандарту MCS-51 фірми Intel успішно замінені прямими аналогами сімейства AT89 фірми ATMEL. Це – швидкісні, повністю статичні 8-розрядні КМОП-мікроконтролери з Flash-пам'яттю програм, що модифікується багаторазово, низьким енергоспоживанням і широким діапазоном допустимих напруг живлення. Вони апаратно і програмно сумісні з відповідними мікроконтролерами Intel і користуються заслуженою популярністю у розроблювачів і виробників електронної апаратури.

ATMEL активно розширює свою виробничу базу, постійно освоюючи нові потужності.

ATMEL залучає для спільної роботи численні сторонні фірми, що спеціалізуються на розробці і випуску мікросхем. ATMEL координує і фінансує роботу консультаційних центрів і центрів підтримки розробок, розташованих по усьому світу. ATMEL проводить постійно діючі семінари для навчання і перепідготовки фахівців.

FLASH-мікроконтролери корпорації ATMEL

Корпорація ATMEL уже багато років утримує перше місце по виробництву Flash-мікроконтролерів загального призначення. Усі мікроконтролери ATMEL можна розділити на три великі групи (рис. 11.4), для кожної з яких діють свої закони розвитку.

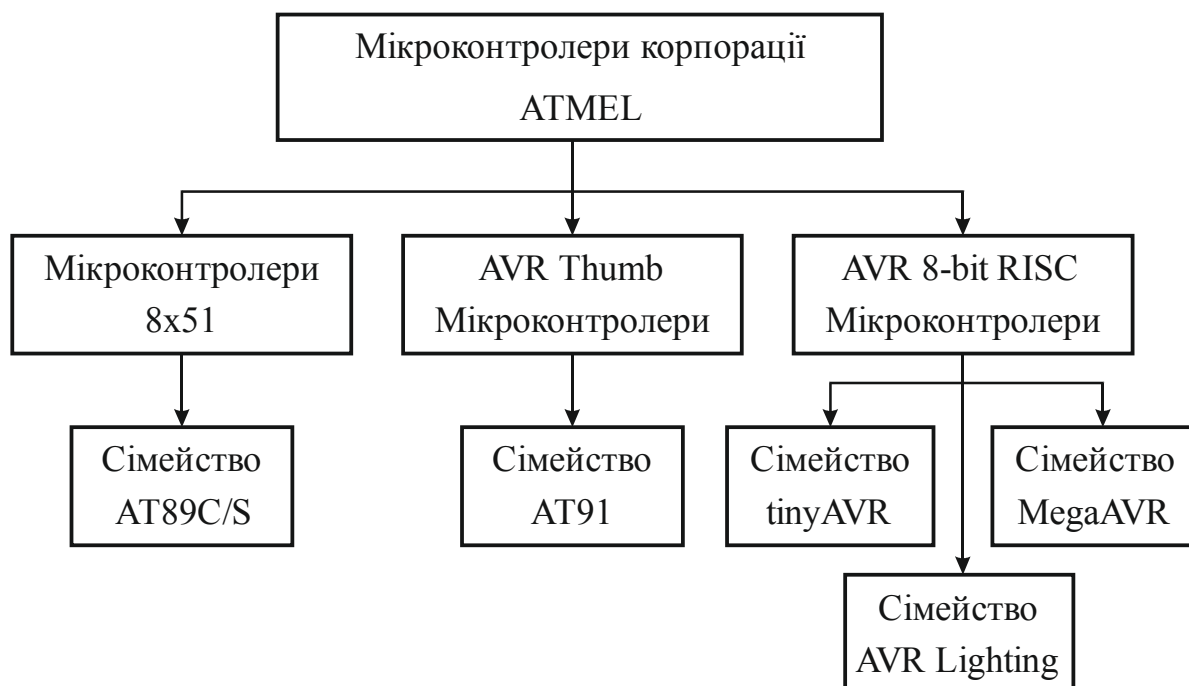


Рисунок 11.4 – Класифікація Flash-мікроконтролерів корпорації ATMEL

Мікроконтролери 8x51. Сімейство AT89C/S 8-розрядних Flash-мікроконтролерів користується заслуженою популярністю у розроблювачів і виробників електронної апаратури. Мікросхеми AT89S51 і

AT89S52 повністю сумісні з добре відомими версіями AT89C51/52 і забезпечені функцією програмування в системі користувача. Всі кристали сімейства AT89C/S працюють в температурному діапазоні від -40С° до +85С°.

Мікроконтролери сімейства AT-89 представлені в табл. 11.1.

Таблиця 11.1 – Мікроконтролери фірми ATMEL сімейства AT-89

Тип	Flash	RAM	Живлення	Частота, Мгц
AT89C1051U	1К	128	3В, 5В	12, 24
AT89C2051	2К	128	3В, 5В	12, 24
AT89C4051	4К	256	3В, 5В	12, 24
AT89C51	4К	128	5В	24, 33
AT89LV51	4К	128	3В, 5В	12
AT89C52	8К	256	5В	24, 33
AT89LV52	8К	256	3В, 5В	12
AT89C55WD	20К	256	5В	24, 33
AT89LV55	20К	256	3В, 5В	12
AT89S8252	8К	256	5В	24
AT89LS8252	8К	256	3В, 5В	12
AT89S53	12К	256	5В	24
AT89LS53	12К	256	3В, 5В	12
AT89S4D12	4К	128	3В	12
AT89C51RC	32К	256	5В	24, 33
T89C51RD2	64К	256	3В, 5В	40

ARM Thumb-мікроконтролери. Основні переваги ARM Thumb-мікроконтролерів – висока продуктивність при низькому енергоспоживанні і багатофункціональність. Багато виробників складної електронної техніки використовують ядро ARM Thumb, вбудовуючи його в свої закінчені інтегральні вироби. Це, наприклад, приймачі GPS (фірми Mitel і SiRF), устаткування для базових станцій GSM (Ericsson), додатки Audio WMA/MP3 (dBTech і Microsoft), модеми (Ericsson, Motorola) і ін. На цей час випущено три сімейства мікроконтролерів серії AT91: M40, M63 і M55.

RISC-мікроконтролери загального призначення марки AVR. Задум створення високопродуктивних 8-розрядних RISC-мікроконтролерів (Reduced Instruction Set Computers) загального призначення, об'єднаних загальною маркою AVR, народився в дослідницькому центрі ATMEL в Норвегії. Група розроблювачів (ініціали деяких з них і сформували марку "AVR": Alf Bogen /Vergard Wollan / Risc architecture) запропонувала ряд ідей, які лягли в основу концепції AVR-мікроконтролерів:

1. Використовувати новітню, швидкісну і економічну КМОП-технологію фірми ATMEL в поєднанні з RISC архітектурою для розробки і виробництва швидких 8-розрядних мікроконтролерів, порівнянних з 16-розрядними мікропроцесорами і мікроконтролерами по продуктивності і переважаючих мікросхеми стандартної КМОП логіки по швидкості;

2. Розробляти архітектуру і систему команд AVR в щонайтіснішій згоді з принципами мови „Сі” так, щоб апаратна частина нового мікроконтролера і його система команд були невід’ємними частинами одного цілого і використовувалися з максимальною ефективністю;

3. Функціонально розширити мікроконтролер можливістю програмування в системі шляхом об’єднання Flash-технології фірми Atmel із стандартним швидкісним послідовним інтерфейсом (SPI).

Останнє дозволяє багато разів модифікувати програму не тільки за допомогою звичного програматора, але і безпосередньо в системі, у кінцевому пристрої користувача.

При цьому не вимагається вводити ніяких додаткових апаратних вузлів і допоміжних джерел живлення.

Нова лінія мікроконтролерів до теперішнього часу налічує велику кількість різних типів, які об’єднані в декілька основних груп:

- TinyAVR (префікс ATtinyXXX);
- Mega AVR (префікс ATmegaXXX);
- Mega AVR для спеціальних застосувань (Сімейство LCD AVR – з вбудованими драйверами рідинно-кристалічних індикаторів);
- Lighting AVR;
- ASIC/FPGA AVR.

Застаріле сімейство «Classic» в даний час вже не використовується. Основу серії становить сімейство «Tiny» і сімейство «Mega». До цих серій також була віднесена частина модифікованих МК сімейства «Classic».

Крім того, фірма Atmel випускає ще кілька видів мікроконтролерів, які вона також відносить до серії AVR.

Mega AVR_мають найбільші об’єми пам’яті, найбільшу кількість виводів і найбільш повний набір периферійних вузлів.

Мікроконтролери групи Tiny AVR – це дешеві кристали, вартістю порядку 1 долара США, у маленьких 8-вивідних корпусах, здатні працювати від джерела зниженої напруги і при цьому володіють такими функціонально важливими периферійними вузлами, як, наприклад, АЦП.

Архітектура мікропроцесорного ядра AVR-мікроконтролерів

Поліпшена RISC архітектура AVR-мікроконтролерів (рис. 11.5) об’єднує в собі комплекс рішень, спрямованих на підвищення швидкодії мікропроцесорного ядра AVR.

Арифметико-логічний пристрій (ALU), у якому виконуються всі

обчислювальні операції, має доступ до 32-х оперативних регістрів, об'єднаних у регістровий файл. Вибірка вмісту регістрів, виконання операції і запис результату назад у регістровий файл виконуються за один машинний цикл.

У AVR-мікроконтролерів відповідно до цього принципу практично всі команди (крім тих, у яких одним з операндів є 16-розрядна адреса) також упаковані в одну комірку пам'яті програм.

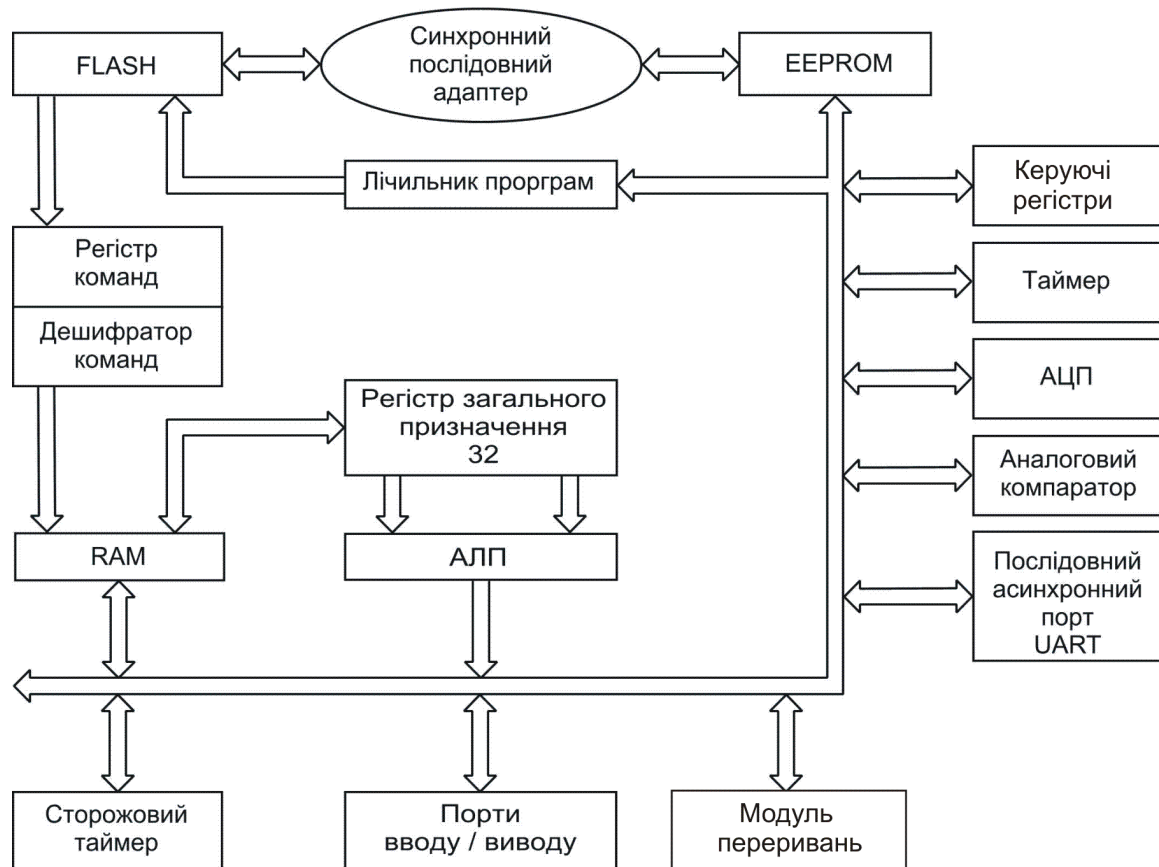


Рисунок 11.5 – Архітектура AVR мікроконтролерів

Пам'ять AVR виконана за схемою гарвардського типу, в якій розділені як адресні простори пам'яті програм і даних, так і шини доступу до них.

Уся програмна пам'ять AVR-мікроконтролерів виконана за технологією FLASH і розміщена на кристалі. Вона являє собою послідовність 16-розрядних комірок і має ємність від 512 слів до 64К слів залежно від типу кристала. У FLASH-пам'ять, окрім програми, можуть бути записані постійні дані, що не змінюються під час функціонування мікропроцесорної системи. Це різні константи, таблиці знакогенераторів, таблиці лінеаризації датчиків і т.п.

Перевагою технології FLASH є високий ступінь упакування, а недоліком те, що вона не дозволяє стирати окремі комірки. Тому завжди

виконується повне очищення всієї пам'яті програм. При цьому для AVR гарантується, як мінімум, 1000 циклів перезапису FLASH-пам'яті.

Крім того, для збереження даних AVR-мікроконтролери можуть мати, у залежності від типу кристала, внутрішню (від 0 до 4Кбайт) і зовнішню (від 0 до 64 Кбайт) оперативну SRAM пам'ять і енергонезалежну внутрішню EEPROM пам'ять (від 0 до 4К байт).

Поділ шин доступу до FLASH пам'яті і SRAM пам'яті дає можливість мати шини даних для пам'яті даних і пам'яті програм різної розрядності, а також використовувати технологію конвеєризації. Конвеєризація полягає у тому, що під час виконання поточної команди програмний код наступної вже вибирається з пам'яті і дешифрується.

EEPROM блок пам'яті AVR, що електрично стирається, призначений для збереження енергонезалежних даних, що можуть змінюватися безпосередньо на об'єкті. EEPROM-пам'ять має меншу в порівнянні з FLASH ємність (до 4К байт), але при цьому допускає можливість побайтного перезапису комірок, що може відбуватися як під управлінням зовнішнього процесора, так і під управлінням власне AVR-мікроконтролера під час його роботи за програмою.

Синхронний послідовний адаптер SPI (Serial Peripheral Interface) - може використовуватися не тільки для послідовного програмування внутрішньої пам'яті, але й у режимах master і slave як самостійний швидкодійний синхронний канал зв'язку між декількома мікроконтролерами.

Послідовний асинхронний адаптер (UART) використовується для підключення до ЕОМ наступного рівня ієрархії.

Сторожовий таймер призначений для захисту мікроконтролера від збоїв у процесі роботи. Він має власний RC-генератор, що працює на частоті 1 МГц.

Порти введення/виведення мають число незалежних ліній "ВХІД/ВИХІД" від 5 до 32. Кожен розряд будь-якого порту може бути запрограмований на введення або вивід інформації. Могутні драйвери забезпечують типову струмову здатність навантаження 20 мА на лінію порту(струм, що надходить) при максимальному значенні 40 мА, що дозволяє безпосередньо підключати до контролера світлодіоди або транзистори. Загальне струмове навантаження на всі лінії одного порту не повинне перевищувати 80 мА.

Таймер/лічильник можна використовувати як таймер із внутрішнім джерелом імпульсів або як лічильник, керований зовнішніми рахунковими імпульсами.

Аналоговий компаратор порівнює вхідні напруги на позитивному і негативному входах.

АЦП – 10-розрядний, з пристроєм вибірки-збереження і вхідним аналоговим мультиплексором на 8 каналів.

Регістр загального призначення – усі команди, що оперують регістрами, у наборі команд прямо адресуються до будь-якого з регістрів за один машинний цикл. Виключення складають 5 команд, що оперують з константами – команди SBCI, SUBI, CPI, ANDI, ORI працюють тільки з регістрами R16-R31.

Програмний лічильник має розрядність 9 біт і адресується до 512 слів програмної FLASH-пам'яті.

11.3 Огляд Mega і Tiny AVR-мікроконтролерів. Система команд

Особливості Mega AVR мікроконтролерів

У табл. 11.2 наведені для прикладу основні параметри декількох мікроконтролерів сімейства Mega AVR. Параметри усіх мікроконтролерів сімейства Mega можна знайти у довідниках.

Можна назвати наступні відмінності Mega AVR:

- Значні розміри вбудованої пам'яті програм і даних;
- 6 цифрових програмувальних портів введення/виведення;
- Практично повний набір необхідних периферійних вузлів. Так, наприклад, мікроконтролери Mega AVR мають одночасно і 8 аналогових входів, і можливість підключення зовнішньої SRAM, тоді як кристали, що належать до інших AVR, мають ту чи іншу можливість вибірково, залежно від типу.

Таблиця 11.2 – Мікроконтролери сімейства Mega AVR

Тип	Flash-пам'ять програм, Кбайт	ОЗП, байт	EEPROM, байт	Таймери	Послідов. порти	АЦП, компаратор	Частота, МГц
ATmega163 (L)	16	1К	512	3 4*PWM	SPI UART	АЦП комп	0...6
ATmega103 (L)	128	4К	4К	3 4*PWM	SPI UART	АЦП комп	0...6
ATmega161 (L)	16	1К	512	3 4*PWM	SPI 2 UART	комп	0...6
ATmega83 (L)	8	512	512	3 4*PWM	SPI UART	АЦП комп	0...6
ATmega128	128	4К	4К	3 PWM	SPI UART	АЦП комп	0...16

У табл. 11.2 наведені для прикладу основні параметри декількох мікроконтролерів сімейства Mega AVR. Параметри усіх мікроконтролерів сімейства Mega можна знайти у довідниках.

Можна назвати наступні відмінності Mega AVR:

- Значні розміри вбудованої пам'яті програм і даних;
- 6 цифрових програмувальних портів введення/виведення;
- Практично повний набір необхідних периферійних вузлів. Так,

наприклад, мікроконтролери Mega AVR мають одночасно і 8 аналогових входів, і можливість підключення зовнішньої SRAM, тоді як кристали, що належать до інших AVR, мають ту чи іншу можливість вибірково, залежно від типу;

- Простий 8-розрядний таймер у Mega AVR має більш розвинуті режими роботи, ніж у інших AVR;

- Є можливість управління системною тактовою частотою за допомогою програмувального переддільника, що дозволяє по ходу виконання програми знижувати тактову частоту і зменшувати тим самим енергоспоживання кристала;

- За допомогою зовнішнього сигналу, що подається на вхід PEN, можна дозволяти/забороняти програмування кристала по послідовному інтерфейсу.

Порівняння Tiny AVR мікроконтролерів

Важливою особливістю Tiny AVR є ефективне використання виводів кристала. Так, за рахунок того, що Tiny AVR можуть бути запрограмовані на роботу без зовнішнього кварцу і без зовнішнього виводу "Скидання", можна мати від 6 до 16 цифрових програмувальних входів/виходів при 8-ми або 20 - виводному корпусі.

Також відмінною особливістю Tiny AVR є можливість зниження напруги живлення в деяких типах до 1,8 В.

Як видно з табл. 11.3, набір вбудованих периферійних вузлів Tiny AVR багатший, ніж у 8-вивідних кристалів інших сімейств AVR.

В залежності від складу периферійних вузлів Tiny AVR містять від 4 до 8 джерел переривання. Серед них є такий оригінальний тип переривання, як переривання при будь-якій зміні сигналів на зовнішніх виводах мікроконтролера.

Вибираючи тип AVR-мікроконтролера, розроблювач, крім складу вбудованих периферійних вузлів, повинен також визначитися з типом виконання кристала. Фірма ATMEL пропонує реалізацію AVR-мікроконтролерів в різних корпусах.

AVR можуть мати різні діапазони живлячих напруг, від яких залежить можлива робоча частота мікроконтролера.

Нарешті, існують AVR промислового (маркування "I" – Industrial) і комерційного (маркування "C" – Commercial) виконання. Мікроконтролери комерційного виконання працюють при температурах 0°C ... +70°C, а мікроконтролери промислового виконання мають температурний діапазон -40°C ... +85°C.

Система команд AVR-мікроконтролерів

У таблиці 11.5 наведена система команд AVR-мікроконтролерів, а у таблиці 11.4 – умовні позначення, що використовуються при описі команд.

Таблиця 11.3 – Мікроконтролери сімейства Tiny AVR

	tiny10	tiny11	tiny12	tiny15	tiny19	tiny22	tiny28
FLASH	1 KB	1 KB	1 KB	1 KB	1 KB	2 KB	2 KB
SRAM	—	—	—	—	—	128 B	—
EEPROM	64 B	64 B	64 B	64 B	—	128 B	—
Число виводів в корпусі	8	8	8	8/20	28	8	28
Число входів/виходів, що програмуються	6	6	6	6/16	20	5	20
Режими зниженого енергоспоживання	2	2	2	2		2	
Робота від зовнішнього кварцу	+	+	+	—		—	
Робота від внутрішнього RS-ланцюга	+	+	+	+		+	
Схема скидання при пониженні Vcc	—	—	+	+		—	
Аналоговий компаратор	+	+	+	+		—	
АЦП (10 розрядів), каналів	+	+	—	4	—	—	—
Таймер T0, 8 біт	+	+	+	+		+	
Watchdog Timer	+	+	+			+	
Можливість програмування усередині системи (ISP)	—	—	+	+	—	+	—
Діапазон живильних напружень, В		2,7- 5,5	1,8- 5,5	2,7- 5,5		2,7- 6,0	

Таблиця 11.4 – Позначення, що використовуються при описі команд

Позначення, символ	Опис
Регістр стану	
SREG	Регістр стану мікроконтролера
C	Прапор пренесення (1-й розряд регістра)
Z	Прапор нуля (1-й розряд регістра SREG)
N	Прапор негативного значення (2-й розряд регістра SREG)
V	Прапор переповнення додаткового коду (3-й розряд регістра SREG)
S	Прапор знаку (4-й розряд регістра SREG); $S=N \oplus V$
H	Прапор половинного перенесення (5-й розряд регістра SREG)
T	Прапор користувача (6-й розряд регістра SREG)
I	Прапор загального дозволу переривань (7-й розряд регістра SREG)
Регістри та операнди	
R _d	Регістр-приймач (іноді також регістр-джерело) в регістровому файлі
R _r	Регістр-приймач в регістровому файлі

K	Константа (дані)
k	Адреса-константа
b	Номер розряду РЗП або РВВ (0...7)
s	Номер розряду регістра стану SREG (0...7)
X, Y, Z	Регістри-вказівники (X=R27:R26; Y=R29:R28; Z=R31:R30)
I/O	Регістр введення/виведення
P	Адреса в просторі введення/виведення
q	Зміщення при відносній непрямій адресації (6-розрядне значення)
,	Роздільник між назвою (адресою) регістра і номером розряду
Операції	
•	Логічне І
∨	Логічне АБО
⊕	Виключне АБО
Система	
PC	Лічильник команд (програмний лічильник)
STAC	Поточний рівень стека
SP	Вказівник стека
Прапори	
0	Прапор скидається командою в „0”
1	Прапор встановлюється командою в „1”
-	Команда не впливає на стан прапора

Таблиця 11.5 – Система команд AVR-мікроконтролерів

Мнемонічне позначення	Опис	Операція
АРИФМЕТИЧНІ І ЛОГІЧНІ КОМАНДИ		
ADD Rd,Rr	Скласти без переносу	$Rd \leftarrow Rd + Rr$
ADC Rd,Rr	Скласти з переносом	$Rd \leftarrow Rd + Rr + C$
ADIW Rd,K	Скласти безпосереднє значення зі словом	$Rdh:Rdl \leftarrow Rdh:Rdl + K$
SUB Rd,Rr	Відняти без переносу	$Rd \leftarrow Rd - Rr$
SUBI Rd,K	Відняти безпосереднє значення	$Rd \leftarrow Rd - K$
SBC Rd,Rr	Відняти з переносом	$Rd \leftarrow Rd - Rr - C$
SBCI Rd,K	Відняти безпосереднє значення з переносом	$Rd \leftarrow Rd - K - C$
SBIW Rd,K	Відняти безпосереднє значення зі слова	$Rdh:Rdl \leftarrow Rdh:Rdl - K$
AND Rd,Rr	Виконати логічне AND	$Rd \leftarrow Rd \bullet Rr$
ANDI Rd,K	Виконати логічне AND з безпосереднім значенням	$Rd \leftarrow Rd \bullet K$
OR Rd,Rr	Виконати логічне OR	$Rd \leftarrow Rd \vee Rr$
ORI Rd,K	Виконати логічне OR з безпосереднім значенням	$Rd \leftarrow Rd \vee K$
EOR Rd,Rr	Виконати виключне OR	$Rd \leftarrow Rd \oplus Rr$
COM Rd	Виконати доповнення до одиниці	$Rd \leftarrow \$FF - Rd$
NEG Rd	Виконати доповнення до двох	$Rd \leftarrow \$00 - Rd$
SBR Rd,K	Установити біти в регістрі	$Rd \leftarrow Rd \vee K$
CBR Rd,K	Очистити біти в регістрі	$Rd \leftarrow Rd \bullet (\$FF - K)$
INC Rd	Інкрементувати	$Rd \leftarrow Rd + 1$

DEC Rd	Декрементувати	$Rd \leftarrow Rd - 1$
TST Rd	Перевірити на нуль чи мінус	$Rd \leftarrow Rd \bullet Rd$
CLR Rd	Очистити регістр	$Rd \leftarrow Rd \oplus Rd$
SER Rd	Установити всі біти регістра	$Rd \leftarrow \$FF$
CP Rd,Rr	Порівняти	$Rd - Rr$
CPC Rd,Rr	Порівняти з урахуванням переносу	$Rd - Rr - C$
CPI Rd,K	Порівняти з константою	$Rd - K$
КОМАНДИ ПЕРЕХОДУ		
RJMP k	Перейти відносно	$PC \leftarrow PC + k + 1$
IJMP	Перейти побічно	$PC \leftarrow Z$
JMP k	Перейти	$PC \leftarrow k$
RCALL k	Викликати підпрограму відносно	$PC \leftarrow PC + k + 1$
ICALL	Викликати підпрограму побічно	$PC \leftarrow Z$
CALL k	Виконати довгий виклик підпрограми	$PC \leftarrow k$
RET	Повернутися з підпрограми	$PC \leftarrow STACK$
RETI	Повернутися з переривання	$PC \leftarrow STACK$
CPSE Rd,Rr	Порівняти і пропустити якщо дорівнює	if (Rd = Rr) $PC \leftarrow PC + 2$ or 3
SBRC Rd,b	Пропустити якщо біт у регістрі очищений	if (Rr(b)=0) $PC \leftarrow PC + 2$ or 3
SBRS Rd,b	Пропустити якщо біт у регістрі встановлений	if (Rr(b)=1) $PC \leftarrow PC + 2$ or 3
SBIC P,b	Пропустити якщо біт у регістрі I/O очищений	if (P(b)=0) $PC \leftarrow PC + 2$ or 3
SBIS P,b	Пропустити якщо біт у регістрі I/O встановлений	if (P(b)=1) $PC \leftarrow PC + 2$ or 3
BRBS s,k	Перейти якщо біт у регістрі статусу встановлений	if (SREG(s) = 1) then $PC \leftarrow PC + k + 1$
BRBC s,k	Перейти якщо біт у регістрі статусу очищений	if (SREG(s) = 0) then $PC \leftarrow PC + k + 1$
BREQ k	Перейти якщо дорівнює	if (Z = 1) then $PC \leftarrow PC + k + 1$
BRCS k	Перейти якщо прапор переносу встановлений	if (C = 1) then $PC \leftarrow PC + k + 1$
BRNE k	Перейти якщо не дорівнює	if (Z = 0) then $PC \leftarrow PC + k + 1$
BRCC k	Перейти якщо прапор переносу очищений	if (C = 0) then $PC \leftarrow PC + k + 1$
BRSH k	Перейти якщо дорівнює чи більше(без знака)	if (C = 0) then $PC \leftarrow PC + k + 1$
BRLO k	Перейти якщо менше (без знака)	if (C = 1) then $PC \leftarrow PC + k + 1$
BRMI k	Перейти якщо мінус	if (N = 1) then $PC \leftarrow PC + k + 1$
BRPL k	Перейти якщо плюс	if (N = 0) then $PC \leftarrow PC + k + 1$
BRGE k	Перейти якщо чи більше дорівнює(з урахуванням знака)	if (N \oplus V = 0) then $PC \leftarrow PC + k + 1$
BRLT k	Перейти якщо менше ніж (зі знаком)	if (N \oplus V = 1) then $PC \leftarrow PC + k + 1$
BRHS k	Перейти якщо прапор напівпереносу встановлений	if (H = 1) then $PC \leftarrow PC + k + 1$
BRHC k	Перейти якщо прапор напівпереносу	if (H = 0) then $PC \leftarrow PC + k + 1$

	очищений	
BRTS k	Перейти якщо прапор T установлений	if (T = 1) then PC ← PC + k + 1
BRTC k	Перейти якщо прапор T очищений	if (T = 0) then PC ← PC + k + 1
BRVS k	Перейти якщо переповнення встановлене	if (V = 1) then PC ← PC + k + 1
BRVC k	Перейти якщо переповнення очищене	if (V = 0) then PC ← PC + k + 1
BRIE k	Перейти якщо глобальне переривання дозволене	if (I = 1) then PC ← PC + k + 1
BRID k	Перейти якщо глобальне переривання заборонене	if (I = 0) then PC ← PC + k + 1
КОМАНДИ ПЕРЕДАЧІ ДАНИХ		
MOV Rd,Rr	Копіювати регістр	Rd ← Rr
LDI Rd,K	Завантажити безпосереднє значення	Rd ← K
LD Rd,X	Завантажити побічно	Rd ← (X)
LD Rd,X+	Завантажити побічно інкрементував згодом	Rd ← (X), X ← X + 1
LD Rd,-X	Завантажити побічно декрементував попередньо	X ← X - 1, Rd ← (X)
LDDRd,Y+q	Завантажити побічно сосмещением	Rd ← (Y + q)
LDS Rd,k	Завантажити безпосередньо із СОЗУ	Rd ← (k)
ST X,Rr	Записати побічно	(X) ← Rr
ST X+,Rr	Записати побічно інкрементував згодом	ST (X) ← Rr, X ← X + 1
ST -X,Rr	Записати побічно декрементував попередньо	X ← X - 1, (X) ← Rr
STD Y+q,Rr	Записати побічно зі зсувом	(Y + q) ← Rr
STS k,Rr	Завантажити безпосередньо в СОЗУ	(k) ← Rr
LPM	Завантажити байт пам'яті програм	R0 ← (Z)
ELPM	Розширене завантаження пам'яті програм	R0 ← (RAMPZ + Z)
IN Rd,P	Завантажити дані з порту I/O в регістр	Rd ← P
OUT P, Rr	Записати дані з егістра в порт I/O	P ← Rr
PUSH Rr	Помістити регістр у стек	STACK ← Rr; SP ← SP - 1
POP Rd	Завантажити регістр зі стека	SP ← SP + 1, Rd ← STACK
КОМАНДИ РОБОТИ З БІТАМИ		
SBI P,b	Установити біт у регістр I/O	I/O(P,b) ← 1
CBI P,b	Очистити біт у регістрі I/O	I/O(P,b) ← 0
LSL Rd	Логічно зрушити вліво	Rd(n+1) ← Rd(n), Rd(0) ← 0
LSR Rd	Логічно зрушити вправо	Rd(n) ← Rd(n+1), Rd(7) ← 0
ROL	Зрушити вліво через перенос	Rd(0) ← C, Rd(n+1) ← Rd(n), C ← Rd(7)
ROR Rd	Зрушити вправо через перенос	Rd(7) ← C, Rd(n) ← Rd(n+1), C ← Rd(0)
ASR Rd	Арифметично зрушити вправо	Rd(n) ← Rd(n+1), n=0..6
SWAP Rd	Поміняти нібли місцями	Rd(3..0) ← Rd(7..4), Rd(7..4) ← Rd(3..0)
BSET s	Установити прапор	SREG(s) ← 1 SREG(s)
BCLR s	Очистити прапор	SREG(s) ← 0 SREG(s)
BLD Rd,b	Завантажити T прапор у біт регістра	Rd(b) ← T

BST Rd,b	Переписати біт з регістра в прапор T	$T \leftarrow Rr(b)$
CLC	Очистити прапор переносу	$C \leftarrow 0$
SEC	Установити прапор переносу	$C \leftarrow 1$
SEN	Установити прапор негативного значення	$N \leftarrow 1$
CLN	Очистити прапор негативного значення	$N \leftarrow 0$
SEZ	Установити прапор нульового значення	$Z \leftarrow 1$
CLZ	Очистити прапор нульового значення	$Z \leftarrow 0$
SEI	Установити прапор глобального переривання	$I \leftarrow 1$
CLI	Очистити прапор глобального переривання	$I \leftarrow 0$
SES	Установити прапор знака	$S \leftarrow 1$
CLS	Очистити прапор знака	$S \leftarrow 0$
SEV	Установити прапор переповнення	$V \leftarrow 1$
CLV	Очистити прапор переповнення	$V \leftarrow 0$
SET	Установити прапор T	$T \leftarrow 1$
CLT	Очистити прапор T	$T \leftarrow 0$
SEN	Установити прапор підлоги переносу	$H \leftarrow 1$
CLH	Очистити прапор підлоги переносу	$H \leftarrow 0$
NOP	Виконати неодружену команду	None
SLEEP	Установити режим SLEEP	None
WRD	Скинути сторожовий таймер	None

11.4 Опис системи команд і програмна модель AVR-мікроконтролерів фірми ATMEL

Опис системи команд AVR-мікроконтролерів

Так само, як і в інших мікроконтролерах, що вбудовуються, система команд AVR-мікроконтролерів включає команди арифметичних і логічних операцій, команди передачі даних, команди, що управляють послідовністю виконання програми і команди операцій з бітами.

Маючи 16-розрядну комірку пам'яті програм, AVR відрізняються багатством своєї системи команд у порівнянні з іншими RISC-мікроконтролерами.

Для зручності написання й аналізу програм всім операціям з системи команд крім двійкового коду зіставлені мнемокоди асемблера (символічні позначення операцій), які використовуються при створенні вихідного тексту програми. Спеціальні програми-транслятори переводять потім символічні позначення в двійкові коди.

Система команд AVR мікроконтролерів, наведена в таблиці команд, містить 121 інструкцію і застосовна без яких-небудь застережень для мікроконтролера ATmega103.

Молодші моделі AVR не мають деяких команд із наведеного списку. Основна відмінність полягає у тому, що ті мікроконтролери

(AT90S1200, ATtiny10/11), у яких відсутній SRAM, не містять і відповідних команд роботи з оперативною пам'яттю. Крім того, AT90S1200 не має команд ADIW, SBIW, IJMP, ICALL, LPM, а ATtiny10/11 – команд ADIW, SBIW, IJMP, ICALL.

Тільки MegaAVR мають двослівні, виконувані за три такти, команди абсолютних переходів JMP і CALL. Всім іншим типам AVR (Tiny та інш.) ці повільні команди не потрібні, тому що весь адресний простір об'ємом до 4К слів досяжний за допомогою команд відносних переходів RJMP, RCALL.

Також окремо стоїть команда ELPM сторінкового читання FLASH пам'яті, яка необхідна для мікроконтролерів зі збільшеним розміром пам'яті програм, наприклад ATmega103.

Підраховуючи кількість інструкцій у системі команд AVR, слід звернути увагу на те, що для двох команд із групи арифметичних операцій існує по два мнемокоди. Мнемокоди ANDI і CBR а також ORI і SBR дублюють один одного, тобто транслюються в той самий двійковий код. Вибір між ними програміст може виконувати довільно в залежності від контексту програми.

Таким чином, AVR-мікроконтролери в залежності від типу мають 89 / 90 / 118 / 121 мнемокодів або 87 / 88 / 116 / 119 різних двійкових кодів команд.

Спеціальна директива асемблера .device <типAVR> забезпечує контроль відповідності команд, використовуваних у тексті програми, типу зазначеного процесора.

При переході від молодших до старших моделей AVR існує сумісність у змісті системи команд, однак необхідно пам'ятати, що адреси векторів переривання тих самих периферійних вузлів у різних типів AVR різні, що вимагає внесення відповідних змін в програму при її перенесенні на інший тип AVR.

Програмна модель AVR

На рисунку 11.6 зображена програмна модель AVR-мікроконтролерів, на якій представлені програмно доступні ресурси AVR. Центральним блоком на цій діаграмі є регістровий файл на 32 оперативних регістра (R0-R31), безпосередньо доступних ALU.

Старші регістри (рис. 11.7) об'єднані парами і утворюють три 16-розрядних регістри, призначених для непрямої адресації комірок пам'яті (AVR у яких відсутня статична оперативна пам'ять SRAM, мають тільки один 16-бітовий регістр Z).

Всі арифметичні і логічні операції, а також частина операцій з бітами, виконуються в ALU тільки над вмістом оперативних регістрів. Слід звернути увагу, що команди, які як другий операнд мають константу (SUBI, SBCI, ANDI, ORI, SBR, CBR), можуть

використовувати як перший операнд тільки регістри з другої половини регістрового файлу (R16-R31). Команди 16-розрядного складання з константою ADIW і віднімання константи SBIW як перший операнд використовують тільки регістри R24, R26, R28, R30.

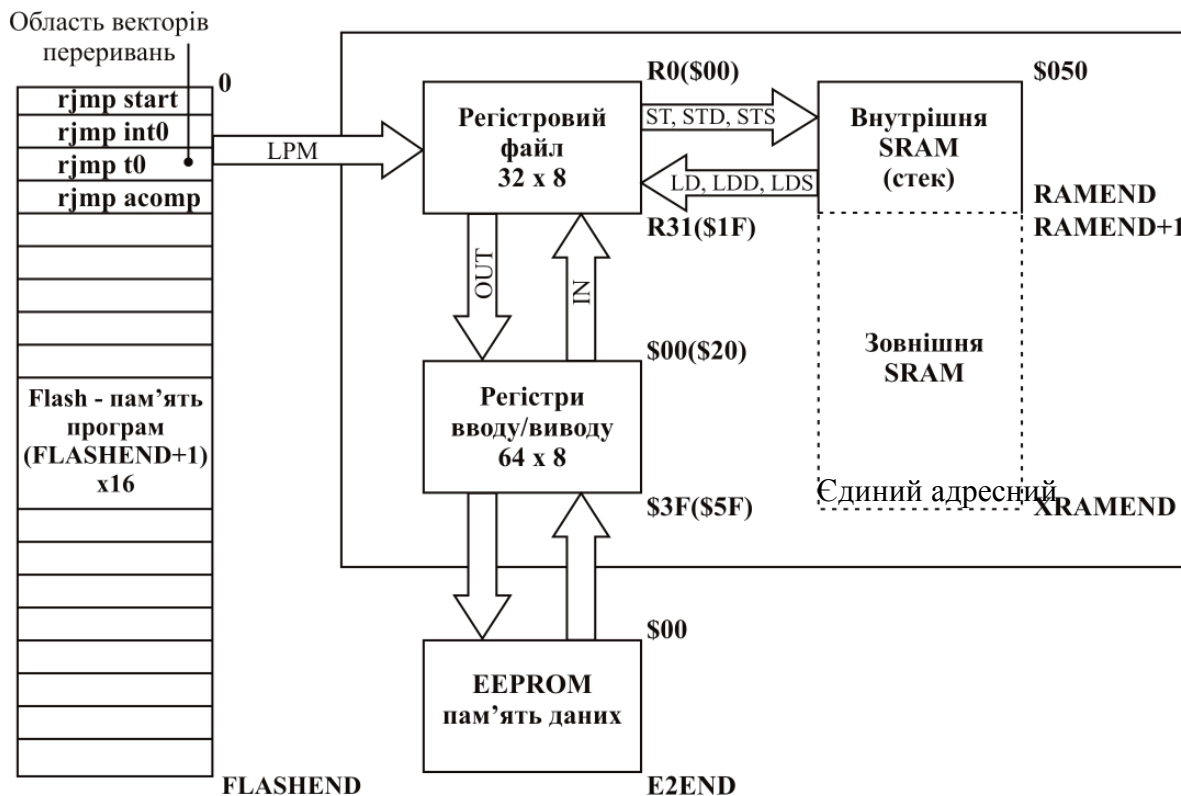


Рисунок 11.6 – Програмна модель AVR-мікроконтролерів

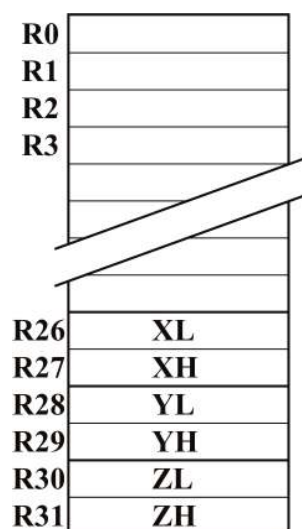


Рисунок 11.7 – Регістровий файл

Під час виконання арифметичних і логічних операцій або операцій з бітами ALU формує ті або інші ознаки результату операції, тобто встановлює або скидає біти в регістрі стану SREG (Status Register) (рис. 11.8).

Призначення бітів наступні:

- Біт C (carry) устанавлюється, якщо під час виконання операції було перенесення зі старшого розряду результату;
- Біт Z (zero) встановлюється, якщо результат операції дорівнює 0;

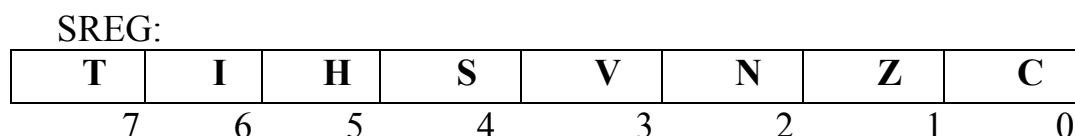


Рисунок 11.8 – Регістр стану SREG

- Біт N встановлюється, якщо MSB (Most Significant Bit - старший біт) результату дорівнює 1 (правильно показує знак результату, якщо не було переповнення розрядної сітки знакового числа);

- Біт V устанавлюється, якщо під час виконання операції було переповнення розрядної сітки знакового результату;

- Битий $S = N + V$ (правильно показує знак результату і при переповненні розрядної сітки знакового числа);

- Біт H встановлюється, якщо під час виконання операції було перенесення з 3-го розряду результату.

- Бит T – прапор пересилання;

- Бито I – прапор дозволу/заборони глобального переривання.

Ознаки результату операції можуть бути потім використані в програмі для виконання подальших арифметико-логічних операцій або команд умовних переходів.

Для збереження оперативних даних програміст, крім регістрового файлу, може використовувати внутрішній і зовнішній блоки SRAM (рис. 11.6).

Робота із зовнішньою SRAM може бути програмно дозволена/заборонена установкою/скиданням біта SRE у регістрі введення/виведення MCUSR.

Операції обміну з внутрішньою оперативною пам'яттю AVR-мікроконтролер виконує за два машинних цикли. Доступ до зовнішньої SRAM вимагає одного додаткового циклу на кожен байт у порівнянні з внутрішньою пам'яттю. Крім того, установкою біта SRW у регістрі введення/виведення MCUSR можна програмно збільшити час обміну із зовнішньою SRAM ще на один додатковий машинний цикл очікування.

Виконувати арифметико-логічні операції й операції зсуву безпосередньо над вмістом комірок пам'яті не можна. Не можна також

записати константу або очистити вміст комірки пам'яті. Система команд AVR дозволяє лише виконувати операції обміну даними між комірками SRAM і оперативними регістрами. Достоїнством системи команд можна вважати різноманітні режими адресації комірок пам'яті. Крім прямої адресації є такі режими: непряма, непряма з пост-інкрементом, непряма з пре-декрементом і непряма зі зсувом.

Оскільки внутрішня і зовнішня SRAM входять у єдиний адресний простір (разом з оперативними регістрами і регістрами введення/виведення), то для доступу до комірок внутрішньої і зовнішньої пам'яті використовуються ті ж самі команди.

В комірках оперативної пам'яті організується системний стек, який використовується автоматично для збереження адрес повернення при виконанні підпрограм, а також може використовуватися програмістом для тимчасового збереження вмісту оперативних регістрів (команди PUSH і POP). (Мікроконтролери, що не мають SRAM, містять трирівневий апаратний стек).

Слід мати на увазі, що якщо стек розташовується в зовнішній SRAM, то виклики підпрограм і повернення з них вимагають двох додаткових циклів, якщо біт SRW не встановлений, і чотирьох, якщо встановлений.

Розмір стека, що організується в оперативній пам'яті, обмежений лише розмірами цієї пам'яті. Якщо мікроконтролер містить на кристалі 128 байт внутрішньої SRAM і не має можливості підключення зовнішньої SRAM, то як показчик вершини стека використовується регістр введення-виведення SPL. Якщо є можливість підключення зовнішньої пам'яті або внутрішня пам'ять має розміри 256 байт і більше, то показчик стека складається з двох регістрів введення-виведення SPL і SPH.

При занесенні числа в стек автоматично виконуються наступні дії:

1. Число записується в комірку пам'яті за адресою, що зберігається в показчику стека. (SPH:SPL) <- число;
2. Вміст показчика стека зменшується на одиницю.
 $SPH:SPL = SPH:SPL - 1$.

Зворотні дії виконуються при витяганні числа зі стека:

1. Вміст показчика збільшується на 1. $SPH:SPL = SPH:SPL + 1$;
2. Число витягується з комірки пам'яті з адресою, що зберігається в показчику стека. (SPH:SPL) -> число.

Стек росте від старших адрес до молодших, а початкове значення показчика стека після скидання дорівнює нулю. Тому програміст обов'язково повинний у частині програми, що ініціалізує, подбати про установку показчика стека, якщо він припускає використовувати хоча б одну підпрограму.

Регістри введення/виведення, також зображені на рисунку 15.1, є набором регістрів управління процесорного ядра і регістрів управління і

даних апаратних вузлів AVR-мікроконтролера. Регістрами введення/виведення є згадувані регістри SREG, MCUSR і покажчик стека SPH:SPL а також регістри, що управляють системою переривання мікроконтролера, режимами підключення EEPROM пам'яті, сторожовим таймером, портами введення-виведення і іншими периферійними вузлами. Вивчення цих регістрів зручно виконувати одночасно з вивченням конкретного периферійного вузла.

Всі регістри введення-виведення можуть зчитуватися і записуватися через оперативні регістри за допомогою команд IN, OUT. Регістри введення/виведення, що мають адреси в діапазоні \$00 - \$1F (знак \$ указує на шістнадцятиричну систему числення), мають можливість побітової адресації. Безпосередня установка і скидання окремих розрядів цих регістрів виконується командами SBI і CBI. Для ознак результату операції, що є бітами регістра введення/виведення SREG, є цілий набір команд установки і скидання. Команди умовних переходів у якості своїх операндів можуть мати як біти-ознаки результату операції, так і окремі розряди регістрів введення/виведення, що побітно адресуються.

Регістровий файл, блок регістрів введення/виведення і оперативна пам'ять, як показано на рисунку 11.6, утворюють єдиний адресний простір, що дає можливість при програмуванні звертатися до 32 оперативних регістрів і до регістрів введення/виведення як до комірок пам'яті, використовуючи команди доступу до SRAM (у тому числі і з непрямою адресацією).

На рисунку 11.6 показаний розподіл адрес у єдиному адресному просторі. Молодші 32 адреси (\$0 - \$1F) відповідають оперативним регістрам. Наступні 64 адреси (\$20 - \$5F) зарезервовані для регістрів введення-виведення. Внутрішня SRAM у всіх AVR починається з адреси \$60.

Таким чином, регістри введення-виведення мають подвійну нумерацію. Якщо використовуються команди IN, OUT, SBI, CBI, SBIC, SBIS, то слід використовувати нумерацію регістрів введення/виведення, що починається з нуля (назвемо її основною). Якщо ж до регістрів введення/виведення доступ здійснюється як до комірок пам'яті, то необхідно використовувати нумерацію єдиного адресного простору оперативної пам'яті даних AVR. Очевидно, що адреса в єдиному адресному просторі пам'яті даних виходить шляхом додавання числа \$20 до основної адреси регістра введення/виведення.

Регістри введення/виведення не цілком використовують відведені для них 64 адреси. Невживані адреси зарезервовані для майбутніх застосувань.

Слід також мати на увазі, що у різних типів AVR одні і ті ж регістри введення/виведення можуть мати різні адреси. Для того, щоб забезпечити переносність програмного забезпечення з одного типу кристала на інший,

слід використовувати в програмі стандартні, прийняті в оригінальній фірмовій документації, символічні імена регістрів введення-виведення, а відповідність цих імен реальним адресам задавати, підключаючи на початку своєї програми (за допомогою директиви асемблера `.INCLUDE`) файл визначення адрес регістрів введення-виведення.

Файли визначення адрес регістрів введення/виведення мають розширення `.inc`. Вони створені розроблювачами фірми ATMEL і вільно поширюються разом з документацією на AVR-мікроконтролери. У цих файлах задається відповідність символічних імен основним адресам регістрів введення-виведення. Якщо для звертання до регістра введення-виведення використовуються команди обміну зі SRAM, то до символічного імені необхідно додати число \$20.

Адресні простори FLASH і EEPROM блоків пам'яті

Крім оперативної пам'яті, програмно доступними ресурсами мікроконтролера є енергонезалежні, електрично програмувальні FLASH і EEPROM блоки пам'яті, які мають окремі адресні простори.

Через те, що всі команди AVR є 16-розрядними словами, FLASH-пам'ять організована як послідовність 16-розрядних комірок і має ємність від 512 слів до 64К слів у залежності від типу кристала.

У FLASH-пам'ять, крім програми, можуть бути записані постійні дані, які не змінюються під час функціонування мікропроцесорної системи. Це різні константи, таблиці знакогенераторів, таблиці лінеаризації датчиків і т.п. Дані з FLASH пам'яті можуть бути програмним чином злічені в регістровий файл за допомогою команд LPM, ELPМ (див. групу команд передачі даних).

Молодші адреси пам'яті програм мають спеціальне призначення. Адреса \$0000 є адресою, з якого починає виконуватися програма після скидання процесора. Починаючи з наступної адреси \$0001, комірки пам'яті програм утворюють область векторів переривань. У цій області для кожного можливого джерела переривання відведена своя адреса, по якій (у разі використання цього переривання) розміщують команду відносного переходу RJMP на підпрограму обробки переривання (рис. 11.6). Слід пам'ятати, що адреси векторів переривань одних і тих же апаратних вузлів для різних типів AVR можуть мати різне значення. Тому для забезпечення перенесення програмного забезпечення зручно, так само як і у випадку з регістрами введення/виведення, використовувати символічні імена адрес векторів переривань, що визначені у відповідному `inc`-файлі.

EEPROM-блок пам'яті даних AVR, що стирається електрично, призначений для збереження енергонезалежних даних, які можуть змінюватися безпосередньо на об'єкті. Це калібрувальні коефіцієнти, різні установки, конфігураційні параметри системи і т.п. EEPROM-пам'ять даних може бути програмним шляхом як зчитана, так і записана. Проте

спеціальних команд звертання до EEPROM-пам'яті немає. Читання і запис комірок EEPROM виконується через регістри введення-виведення EEAR (регістр адреси), EEDR (регістр даних) і EECR (регістр управління).

Контрольні запитання

1. Опишіть особливості архітектури мікроконтролера MCS-51.
2. Як Ви розумієте терміни “архітектура МК”, “гарвардська архітектура”?
3. Дайте порівняльну характеристику мікроконтролерам MCS-51 і 8x52.
4. Опишіть структуру мікроконвертера AD μ C812 фірми ANALOG DEVICES.
5. Укажіть призначення сторожового таймера і монітора напруги живлення.
6. Периферія AVR-мікроконтролерів і її призначення.
7. Приведіть класифікацію Flash-мікроконтролерів фірми ATMEL.
8. Дайте порівняльну характеристику Flash пам'яті і пам'яті EEPROM.
9. Які ідеї лягли в основу концепції RISC-мікроконтролерів марки AVR?
10. Опишіть архітектуру мікропроцесорного ядра AVR-мікроконтролера.
11. Укажіть особливості Tiny AVR-мікроконтролерів..
12. Які периферійні пристрої вбудовані в AVR-мікроконтролерах?
13. Укажіть особливості Mega AVR-мікроконтролерів.
14. Порівняйте характеристики мікроконтролерів Mega і Tiny AVR.
15. Вирішення проблема сумісності системи команд у AVR різних моделей.
16. Дайте загальну характеристику системи команд AVR-мікроконтролерів.
17. Опишіть програмно доступні ресурси AVR по програмній моделі.
18. Приведіть особливості структури і функціонування регістрового файлу
19. Розподіл адрес у єдиному адресному просторі оперативної пам'яті AVR.
20. Організація системного стеку в комірках оперативної пам'яті.
21. Операції обміну з внутрішньою і зовнішньою SRAM у AVR.
22. Адресні простори FLASH і EEPROM блоків пам'яті.

Література

1. Великий В.І., Препелиця Г.П. Мікропроцесорні системи обробки даних та управління в гідрометеорології. Навч. посібник. – Одеса: Вид-во "ТЭС", 2004. – 212 с.
2. Великий В.І. Мікропроцесорні системи в САУ: Курс лекцій для студентів вищих навчальних закладів: Навч посібник – О.: Наука і техніка, 2006 – 192 с.
3. Ауров В.В. Методи вимірювання параметрів навколишнього середовища: Підручник – Одеса: "ТЭС", 2002. – 284 с.
4. Стюарт Болл Р. Аналоговые интерфейсы микроконтроллеров. – М.: Издательский дом «Додэка – XXI», 2007. – 354 с.
5. Евстифеев А.В. Микроконтроллеры AVR семейства Mega. Руководство пользователя. – М.: Издательский дом «Додэка – XXI», 2007. – 592 с.
6. Баранов В.Н. Применение микроконтроллеров AVR: схемы, алгоритмы, программы. – М.: Издательский дом «Додэка – XXI», 2004. – 288 с.
7. Трамперт В. Измерение, управление и регулирование с помощью AVR микроконтроллеров.: Пер. с нем. – К.: «МК-Пресс», 2006. – 208с.
8. Мортон Дж. Микроконтроллеры AVR. Вводный курс/Пер. с англ. – М.: Издательский дом «Додэка – XXI», 2006. – 272 с.
9. Цапенко М.П. Измерительные информационные системы: структуры и алгоритмы, системотехническое проектирование: Учебное пособие для вузов. 2-е перераб. – М.: Энергоатомиздат, 1985. – 440 с.
10. Агуров П.А. Последовательные интерфейсы ПК. – СПб.: ВНУ-СПб, 2002. – 442 с.
11. Ковязин А.Н. Интерфейс RS-232. Связь между ПК и микроконтроллером. – М.: Радио и связь, 2001. – 367 с.
12. Гук М. Аппаратные интерфейсы ПК. Энциклопедия. – СПб.: «Питер», 2002. – 528 с.

Навчальне електронне видання

**Великий Віктор Іванович
Перелигін Борис Вікторович**

**ПРОЕКТУВАННЯ АВТОМАТИЗОВАНИХ СИСТЕМ
МОНІТОРИНГУ НАВКОЛИШНЬОГО СЕРЕДОВИЩА**

Конспект лекцій

Видавець і виготовлювач

Одеський державний екологічний університет

вул. Львівська, 15, м. Одеса, 65016

тел./факс: (0482) 32-67-35

E-mail: info@odeku.edu.ua

Свідоцтво суб'єкта видавничої справи

ДК № 5242 від 08.11.2016